

Pocket No.: 50090-275

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hiroki SHINKAWATA

Serial No.:

Group Art Unit:

Filed: January 23, 2001

Examiner:

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME



#2  
D. Scott  
5-18-01

CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents  
Washington, DC 20231

Sir:

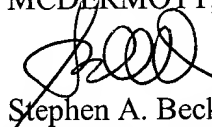
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-220609,  
filed July 21, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:dtb  
**Date: January 23, 2001**  
Facsimile: (202) 756-8087

50090-275

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

Shinkawata

January 23, 2001

McDermott, Will &amp; Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 7月21日

出願番号

Application Number:

特願2000-220609

出願人

Applicant(s):

三菱電機株式会社

Jc862 U.S. PTO

09/766846

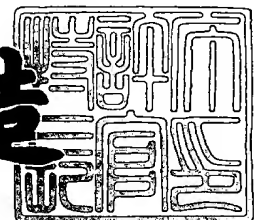


01/23/01

2000年 8月11日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3063145

【書類名】 特許願

【整理番号】 525079JP01

【提出日】 平成12年 7月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

H01L 27/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 新川田 裕樹

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田・拓男・

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 トランスファゲートに隣接するコンタクトプラグを有する半導体装置であって、

前記トランスファゲートは、ゲート絶縁膜と、ゲート電極層と、それらの側面を被うサイドウォールとを有し、

前記コンタクトプラグは、前記トランスファゲートと同じ高さを有し、かつ、全高において前記トランスファゲートに隣接し、更に、

前記トランスファゲートの表面および前記コンタクトプラグの表面と同一面をなす表面を有する第 1 層間絶縁膜と、

前記第 1 層間絶縁膜の上に形成される第 2 層間絶縁膜と、

前記コンタクトプラグに比して小さく、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと導通する径縮小コンタクトプラグと、

を備えることを特徴とする半導体装置。

【請求項 2】 複数のメモリセルを有するメモリセル部を有し、当該メモリセル部は、

前記トランスファゲート、前記コンタクトプラグ、前記第 1 および第 2 層間絶縁膜に加えて、前記第 2 層間絶縁膜の上に形成されるビット線と、前記ビット線を被うように前記第 2 層間絶縁膜の上に形成される第 3 層間絶縁膜と、前記第 3 層間絶縁膜の上に形成されるキャパシタとを備え、更に、

前記径縮小コンタクトプラグとして、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグと、前記第 2 および第 3 層間絶縁膜を貫通して前記コンタクトプラグとキャパシタとを導通させるキャパシタ用コンタクトプラグとを有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ゲート電極層は、不純物を含有するドーフトシリコン層と、当該ドーフトシリコン層の表面を覆うシリサイド膜とを有し、

前記キャパシタに対応するコンタクトプラグ、前記キャパシタ用コンタクトプ

ラグ、および前記キャパシタの下部電極は、何れも不純物を有するドーフトシリコンで形成され、

前記ビット線に対応するコンタクトプラグは、不純物を含有するドーフトシリコン層と、前記ビット線用コンタクトプラグと接する部位にのみ形成されるシリサイド膜とを有し、

前記ビット線用コンタクトプラグは、前記コンタクトプラグと接するバリアメタルと、当該バリアメタルの上に形成されるメタル層とを有することを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記キャパシタは、SiONで構成されるキャパシタ絶縁膜と、不純物を含有するドーフトシリコンで構成される上部電極とを備えることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 複数のトランジスタを含むロジック回路部を有し、当該ロジック回路部は、

前記トランスファゲート、前記コンタクトプラグ、前記第 1 および第 2 層間絶縁膜に加えて、前記第 2 層間絶縁膜の上に形成されるビット線を備え、更に、

前記径縮小コンタクトプラグとして、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを有することを特徴とする請求項 2 乃至 4 の何れか 1 項記載の半導体装置。

【請求項 6】 前記ロジック回路部は、CMOSトランジスタを構成するNMOSトランジスタとPMOSトランジスタとを有することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記NMOSトランジスタに対応して設けられるコンタクトプラグおよびゲート電極層はN型不純物を含むドーフトシリコン層を有し、

前記PMOSトランジスタに対応して設けられるコンタクトプラグおよびゲート電極層はP型不純物を含むドーフトシリコン層を有することを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記メモリセル部は、第 1 導電型のトランジスタを備え、

前記NMOSトランジスタおよび前記PMOSトランジスタのうち、前記第 1 導電型と異なる導電型を有するものは、前記第 1 導電型の半導体に調製された埋

め込みチャネルと、第2導電型に調製された半導体により前記埋め込みチャネルの表面付近に形成されたカウンターチャネルとを有し、

前記NMOSトランジスタに対応して設けられるコンタクトプラグはN型不純物を含むドーフトシリコン層を有し、

前記PMOSトランジスタに対応して設けられるコンタクトプラグはP型不純物を含むドーフトシリコン層を有し、更に、

前記NMOSトランジスタに対応して設けられるゲート電極層、並びに前記PMOSトランジスタに対応して設けられるゲート電極層は、何れも前記第1導電型の不純物を含むドーフトシリコン層を有することを特徴とする請求項6記載の半導体装置。

【請求項9】 複数のトランジスタを含むロジック回路部を有し、当該ロジック回路部は、

前記トランスファゲート、前記コンタクトプラグ、前記第1および第2層間絶縁膜に加えて、前記第2層間絶縁膜の上に形成されるビット線を備え、更に、

前記径縮小コンタクトプラグとして、前記第2層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを有することを特徴とする請求項1記載の半導体装置。

【請求項10】 前記ロジック回路部は、CMOSトランジスタを構成するNMOSトランジスタとPMOSトランジスタとを有することを特徴とする請求項9記載の半導体装置。

【請求項11】 前記NMOSトランジスタに対応して設けられるコンタクトプラグおよびゲート電極層はN型不純物を含むドーフトシリコン層を有し、

前記PMOSトランジスタに対応して設けられるコンタクトプラグおよびゲート電極層はP型不純物を含むドーフトシリコン層を有することを特徴とする請求項10記載の半導体装置。

【請求項12】 前記コンタクトプラグおよび前記ゲート電極層は、不純物を含有するドーフトシリコン層と、当該ドーフトシリコン層の表面を覆うシリサイド膜とを有し、

前記径縮小コンタクトプラグは、前記シリサイド膜と接するバリアメタルと、

当該バリアメタルの上に形成されるメタル層とを有することを特徴とする請求項 1 乃至 1 1 の何れか 1 項記載の半導体装置。

【請求項 1 3】 前記トランスファゲートのゲート電極層は、メタル層と、当該メタル層を取り囲むバリアメタルとを有することを特徴とする請求項 1 乃至 1 1 の何れか 1 項記載の半導体装置。

【請求項 1 4】 前記トランスファゲートのゲート酸化膜は、CVD法で形成されたCVD絶縁膜であることを特徴とする請求項 1 乃至 1 3 の何れか 1 項記載の半導体装置。

【請求項 1 5】 前記トランスファゲートのゲート絶縁膜は、熱酸化法で形成された熱酸化膜、或いは熱酸化窒化法で形成された熱酸化窒化膜であることを特徴とする請求項 1 乃至 1 3 の何れか 1 項記載の半導体装置。

【請求項 1 6】 トランスファゲートに隣接するコンタクトプラグを有する半導体装置の製造方法であって、

シリコン基板の上に第 1 層間絶縁膜を成膜するステップと、

前記第 1 層間絶縁膜にトランスファゲート収容溝を形成するステップと、

前記トランスファゲート収容溝の中に、トランスファゲートのサイドウォールを形成するステップと、

前記サイドウォールの間に挟まれた空間内にトランスファゲートのゲート絶縁膜とゲート電極層とを形成するステップと、

前記トランスファゲートを構成する材質に対して前記第 1 層間絶縁膜を高い選択比で除去し得る条件で、前記第 1 層間絶縁膜の前記トランスファゲートに隣接する部分をエッチングすることにより、前記トランスファゲートに隣接するコンタクトホールを自己整合的に形成するステップと、

前記コンタクトホールの中にコンタクトプラグを形成するステップと、

前記第 1 層間絶縁膜、前記コンタクトプラグ、および前記トランスファゲートの上層に第 2 層間絶縁膜を形成するステップと、

前記コンタクトプラグに比して小さく、かつ、前記コンタクトプラグに通じる径縮小コンタクトホールを前記第 2 層間絶縁膜に形成するステップと、

前記径縮小コンタクトホールの中に前記コンタクトプラグと導通する径縮小コ



ンタクトプラグを形成するステップと、

・ を含むことを特徴とする半導体装置の製造方法。

【請求項 1 7】 前記コンタクトホールを形成するステップは、少なくとも 2 つのコンタクトホールに跨る開口を有するマスクパターンを用いて前記第 1 層間絶縁膜をエッチングするステップを含むことを特徴とする請求項 1 6 記載の半導体装置の製造方法。

【請求項 1 8】 前記半導体装置は複数のメモリセルを有するメモリセル部を備え、

前記メモリセル部において、第 2 層間絶縁膜の上にビット線を形成するステップと、

前記ビット線を被うように前記第 2 層間絶縁膜の上に第 3 層間絶縁膜を形成するステップと、

前記メモリセル部において、前記第 3 層間絶縁膜の上にキャパシタを形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、

前記メモリセル部において、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを形成するサブステップと、

前記メモリセル部において、前記第 2 および第 3 層間絶縁膜を貫通して前記コンタクトプラグとキャパシタとを導通させるキャパシタ用コンタクトプラグを形成するサブステップとを含むことを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記キャパシタに対応するコンタクトプラグ、前記キャパシタ用コンタクトプラグ、および前記キャパシタの下部電極は、何れも不純物を有するドーフトシリコンで形成され、

前記ビット線に対応するコンタクトプラグは、不純物を含有するドーフトシリコン層と、前記ビット線用コンタクトプラグと接する部位にのみ形成されるシリサイド膜とで形成され、

前記ビット線用コンタクトプラグは、前記コンタクトプラグと接するバリアメ

タルと、当該バリアメタルの上に形成されるメタル層とで形成されることを特徴とする請求項 1 7 または 1 8 項記載の半導体装置の製造方法。

【請求項 2 0】 前記キャパシタを形成するステップは、  
SiON でキャパシタ絶縁膜を形成するサブステップと、  
不純物を含むドーフトシリコンで上部電極を形成するサブステップとを含むことを特徴とする請求項 1 9 記載の半導体装置の製造方法。

【請求項 2 1】 前記半導体装置は複数のメモリセルを有するロジック回路部を備え、

前記ロジック回路部において、第 2 層間絶縁膜の上にビット線を形成するステップと、

前記ビット線を被うように前記第 2 層間絶縁膜の上に第 3 層間絶縁膜を形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、

前記ロジック回路部において、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを形成するサブステップを含むことを特徴とする請求項 1 8 乃至 2 0 の何れか 1 項記載の半導体装置の製造方法。

【請求項 2 2】 前記ロジック回路部は、NMOS トランジスタを有する NMOS トランジスタ部と、PMOS トランジスタを有する PMOS トランジスタ部とを有し、

前記 NMOS トランジスタ部に、N 型半導体に調製されたソースドレイン領域と P 型半導体に調製されたチャネルとを形成するステップと、

前記 PMOS トランジスタ部に、P 型半導体に調製されたソースドレイン領域と N 型半導体に調製されたチャネルとを形成するステップとを更に含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに不純物を含まないシリコン膜を埋め込むサブステップと、NMOS トランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜に N 型不純物を注入するサブステップと、PMOS トランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜に P 型不純物を注入するサブステップとを含むことを特徴とす

る請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 3】 前記メモリセル部は第 1 導電型のトランジスタを有し、  
前記ロジック回路部は、NMOS トランジスタを有する NMOS トランジスタ部と、PMOS トランジスタを有する PMOS トランジスタ部とを有し、

前記メモリセル部に、前記第 1 導電型の半導体に調製されたソースドレイン領域と第 2 導電型の半導体に調製されたチャネルとを形成するステップと、

前記 NMOS トランジスタ部および前記 PMOS トランジスタ部のうち、前記第 1 導電型のトランジスタを形成すべき側に、前記第 1 導電型の半導体に調製されたソースドレイン領域と前記第 2 導電型の半導体に調製されたチャネルとを形成するステップと、

前記 NMOS トランジスタ部および前記 PMOS トランジスタ部のうち、前記第 2 導電型のトランジスタを形成すべき側に、前記第 2 導電型の半導体に調製されたソースドレイン領域と、前記第 1 導電型の半導体に調製された埋め込みチャネルと、前記埋め込みチャネルの表面付近に位置し、第 2 導電型の半導体に調製されたカウンターチャネルとを形成するステップとを更に含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに前記第 1 導電型の不純物を含むシリコン膜を埋め込むサブステップを含むことを特徴とする請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 4】 前記半導体装置は複数のメモリセルを有するロジック回路部を備え、

前記ロジック回路部において、第 2 層間絶縁膜の上にビット線を形成するステップと、

前記ビット線を被うように前記第 2 層間絶縁膜の上に第 3 層間絶縁膜を形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、

前記ロジック回路部において、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを形成するサブステップを含むことを特徴とする請求項 1 6 または 1 7 記載の半導体装置の製造方法。

【請求項 2 5】 前記ロジック回路部は、NMOS トランジスタを有する NMOS トランジスタ部と、PMOS トランジスタを有する PMOS トランジスタ部とを有し、

前記 NMOS トランジスタ部に、N 型半導体に調製されたソースドレイン領域と P 型半導体に調製されたチャネルとを形成するステップと、

前記 PMOS トランジスタ部に、P 型半導体に調製されたソースドレイン領域と N 型半導体に調製されたチャネルとを形成するステップとを更に含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに不純物を含まないシリコン膜を埋め込むサブステップと、NMOS トランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜に N 型不純物を注入するサブステップと、PMOS トランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜に P 型不純物を注入するサブステップとを含むことを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 2 6】 前記ゲート電極層を形成するステップは、前記サイドウォールの間に挟まれた空間内に、不純物を含有するドープトシリコンを埋め込むサブステップを含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに、不純物を含有するドープトシリコンを埋め込むサブステップを含み、

前記コンタクトホールが前記ドープトシリコンで埋め込まれた後に、半導体ウェハの全面に、シリサイド膜の基材となるメタルを堆積させるステップと、

半導体ウェハに所定の熱処理を施して、前記ゲート電極層の表面および前記コンタクトプラグの表面のみに自己整合的にシリサイド膜を形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、前記径縮小コンタクトホールの底部にバリアメタルを形成するサブステップと、前記バリアメタルの上にメタル層を形成するステップとを含むことを特徴とする請求項 1 6 乃至 2 5 の何れか 1 項記載の半導体装置の製造方法。

【請求項 2 7】 前記トランスファゲートのゲート電極層を形成するステップは、

前記サイドウォールに挟まれた空間内に、シリコン基板の露出部分を被うゲート絶縁膜を形成するサブステップと、

前記サイドウォールの間に残存する空間の側面および底面に沿ってバリアメタルを形成するサブステップと、

前記バリアメタルに囲まれた空間にメタル材料を埋め込むサブステップとを含むことを特徴とする請求項 1 6 乃至 2 5 の何れか 1 項記載の半導体装置の製造方法。

【請求項 2 8】 前記トランスファゲートのゲート絶縁膜は、CVD法で形成されることを特徴とする請求項 1 6 乃至 2 7 の何れか 1 項記載の半導体装置の製造方法。

【請求項 2 9】 前記トランスファゲートのゲート酸化膜は、熱酸化法或いは熱酸化窒化法で形成されることを特徴とする請求項 1 6 乃至 2 7 の何れか 1 項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に、自己整合的に形成されるコンタクトホールを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、DRAM (Dynamic Random Access Memory) に代表される半導体装置の分野では、微細化が進行するに連れてデザイン寸法が縮小されている。このデザイン寸法の縮小に伴い、DRAM等のメモリデバイスにおいては、メモリセルのキャパシタに通じるコンタクトホール（キャパシタコンタクト）と、ビット線に通じるコンタクトホール（BLコンタクト）の双方をセルフアラインコンタクト（SAC）構造とする必要が生じている。

【0003】

DRAMの構造として現在主流であるCOB (Capacitor Over Bit-line) 構造において、キャパシタコンタクトは通常 1  $\mu$ m程度の深さを有している。実現

可能なエッチング選択比等を考慮すると、 $1\mu\text{m}$ の深さを有するキャパシタコンタクトを自己整合的に適正な位置に形成することは必ずしも容易ではない。そこで、COB構造のDRAMの製造方法としては、自己整合的に第1のコンタクトプラグを形成し、その上に径の小さなコンタクトホール（径縮小コンタクト）を開口する手法が用いられることがある。上記の手法によれば、一度に開口すべきコンタクトホールの深さが縮小されるため、キャパシタコンタクトの形成に伴う困難を緩和することができる。

## 【0004】

図27(a)は上述した従来の方法で製造されたDRAM混載デバイスのメモリセル部の断面図を示す。図27(b)および図27(c)は、そのDRAM混載デバイスが有するロジック回路部に形成されたCMOS (Complementary Metal Oxide Semiconductor) の断面図を示す。より具体的には、図27(b)はロジック回路部におけるNMOSトランジスタ部の断面図、図27(c)はロジック回路部におけるPMOSトランジスタ部の断面図を示す。

## 【0005】

また、図28(a)～図28(c)、図29(a)～図29(c)、および図30(a)～図30(c)は、DRAM混載デバイスのレイアウトを製造工程の進行に合わせて説明するための図である。以下、これらの図を参照して、従来の方法でDRAM混載デバイスを製造する際の工程の流れについて説明する。

## 【0006】

ステップ101：シリコン基板10に絶縁膜分離12を形成する。その結果、図28(a)～図28(c)中に符号13を付して表すような活性領域が形成される。

ステップ102：メモリセル部およびNMOSトランジスタ部にP型ウェル14を形成する。P型ウェル14の表面付近にP型チャネルを注入する。

ステップ103：PMOSトランジスタ部にN型ウェル16を形成する。N型ウェル16の表面付近にN型チャネル（埋め込みチャネル型の場合はP型チャネル層）を注入する。

## 【0007】

ステップ104：活性領域の表面を覆うようにゲート絶縁膜24を形成する。

ステップ105：ゲート絶縁膜24の上に導電性のゲート電極膜26、ポリサイド膜28、およびゲート電極膜26のマスクとして機能するシリコン絶縁膜30を形成する。

ステップ106：レジストマスクでシリコン絶縁膜30をエッチングし、加工されたシリコン絶縁膜30をマスクとしてゲート電極膜26およびポリサイド膜28をエッチングする。次いで、メモリセル部、NMOSトランジスタ部、およびPMOSトランジスタ部に、それぞれトランジスタのN-不純物層36、P-不純物層40を形成すべく、それらの領域に、マスクを用いて、ゲート電極に対して自己整合的に不純物を注入する。

#### 【0008】

ステップ107：半導体ウェハの全面を被うようにシリコン窒化膜32を形成する。その結果、メモリセル部、NMOSトランジスタ部、およびPMOSトランジスタ部の全てにおいて、シリコン窒化膜32で被われたトランスファージェート(TG)33が形成される(図28(a)～図28(c)参照)。

#### 【0009】

ステップ108：NMOSトランジスタ部およびPMOSトランジスタ部を被うシリコン窒化膜32を異方的にエッチングすることで、それらの領域にゲート電極膜26の側面を被うサイドウォール34を形成する。

ステップ109：NMOSトランジスタ部およびPMOSトランジスタ部に、それぞれN型不純物およびP型不純物を注入する。その結果、NMOSトランジスタ部にはN-領域36とN+領域38とが形成され、PMOSトランジスタ部にはP-領域40とP+領域42とが形成される。

#### 【0010】

ステップ110：半導体ウェハの全面に第1層間絶縁膜44が堆積される。

ステップ111：メモリセル部において、シリコン窒化膜32をストッパー膜として、ゲート電極膜26の間に自己整合的にコンタクトホール46を形成する。続いて、コンタクトホール底部のストッパー膜32を除去するエッチングを行い、コンタクトホール46を形成する。この際、メモリセル部にもゲート電極膜

2 6 の側面を被うサイドウォール 3 4 が形成される。コンタクトホール 4 6 は、図 2 9 . ( a ) 中に符号 4 8 を付して表すマスクパターンを用いて形成される。

【 0 0 1 1 】

ステップ 1 1 2 : コンタクトホール 4 6 の内部にドーフトポリシリコンが埋め込まれることにより、隣接する T G 3 3 の間に導電性のコンタクトプラグ 5 0 が形成される。

ステップ 1 1 3 : 第 1 層間絶縁膜 4 4 およびコンタクトプラグ 5 0 の上層に、第 2 層間絶縁膜 5 2 が形成される。

ステップ 1 1 4 : メモリセル部、N M O S トランジスタ部、および P M O S トランジスタ部において、ビット線に通じる B L コンタクト 5 4 が形成される。B L コンタクト 5 4 は、図 3 0 ( a ) ~ 図 3 0 ( c ) 中に符号 5 6 を付して表すマスクパターンを用いて形成される。

【 0 0 1 2 】

ステップ 1 1 5 : B L コンタクト 5 4 の内部にコンタクトプラグ 5 8 が形成されると共に、第 2 層間絶縁膜 5 2 の上にビット線 6 0 がパターニングされる。

ステップ 1 1 6 : ビット線 6 0 を被うように第 3 層間絶縁膜 6 2 が形成される。

ステップ 1 1 7 : メモリセル部において、第 2 および第 3 層間絶縁膜 5 2 , 6 2 を貫通してコンタクトプラグ 5 0 の上部に開口するキャパシタコンタクト 6 4 が形成される。キャパシタコンタクト 6 4 は、図 3 0 ( a ) ~ 図 3 0 ( c ) 中に符号 6 6 を付して表すマスクパターンを用いて形成される。

【 0 0 1 3 】

ステップ 1 1 8 : キャパシタコンタクト 6 4 の内部にドーフトポリシリコン、或いは W などが埋め込まれることにより導電性のコンタクトプラグ 6 8 が形成される。

ステップ 1 1 9 : 第 3 層間絶縁膜 6 2 の上層に第 4 層間絶縁膜 7 0 が形成される。

ステップ 1 2 0 : メモリセル部において、コンタクトプラグ 6 8 と導通する下部電極 7 2、下部電極 7 2 を被う絶縁膜 7 4、および絶縁膜 7 4 を被う上部電極



76が形成される。従来の製造方法によれば、上述した一連の処理が実行されることによりC O B構造のD R A Mを備えるメモリ混載デバイスが製造される。

【0014】

【発明が解決しようとする課題】

近年では、メモリ混載ロジックデバイスの高集積化に伴い、ロジック回路部のソースドレイン領域が縮小されている。すなわち、図27(b)におけるN+領域38、および図27(c)におけるP+領域42が縮小されている。このため、メモリ混載ロジックデバイスに関しては、メモリセル部のキャパシタコンタクトのみならず、ロジック回路部のB LコンタクトについてもS A C構造とすることが望まれる。しかしながら、上記従来の方法では、ロジック回路部のB Lコンタクト54をS A C構造とすることはできない。

【0015】

また、従来の製造方法では、シリコン基板10上にシリコン窒化膜32を堆積させた後、隣接するT G 33の間が埋め込まれるように第1層間絶縁膜44を堆積させる必要がある。T G 33の間隔は、D R A Mのデザイン寸法が小さく成るに連れて狭小となる。一方、D R A Mのデザイン寸法が小さくなると、ゲート電極膜26の電気抵抗を抑制するために、T G 33の高さを大きくする必要がある。このため、近年のD R A Mにおいて、隣接するT G 33間に確保されるスペースは、そのアスペクト比が高まる傾向にある。T G 33間のスペースのアスペクト比が高まると、その内部を第1層間絶縁膜44で埋め込むことが困難となる。従って、従来の方法によると、D R A Mの微細化が進むにつれて、第1層間絶縁膜44が適正に堆積させ得なくなるという問題が生ずる。

【0016】

更に、従来の製造方法では、隣接するT G 33間に自己整合的にコンタクトホール46を開口させるために、図29(a)に示すようなマスクパターン48、すなわち、個々のコンタクトホール46毎に別個の開口を有するマスクパターン48が用いられる。このようなマスクパターン48が狭ピッチで形成されたT G 33の上層で用いられると、層間絶縁膜の平坦性が悪化した場合などに、隣接するコンタクトホール46間に短絡が生じ易い。従来の製造方法は、この点におい

ても微細なDRAMを製造するうえで問題を有していた。

【0017】

本発明は、上記のような課題を解決するためになされたもので、微細なDRAMを確実に形成するうえで好適な構造を有する半導体装置を提供することを第1の目的とする。

また、本発明は、微細なDRAMを確実に形成するうえで好適な半導体装置の製造方法を提供することを第2の目的とする。

【0018】

【課題を解決するための手段】

請求項1記載の発明は、トランスファゲートに隣接するコンタクトプラグを有する半導体装置であって、

前記トランスファゲートは、ゲート絶縁膜と、ゲート電極層と、それらの側面を被うサイドウォールとを有し、

前記コンタクトプラグは、前記トランスファゲートと同じ高さを有し、かつ、全高において前記トランスファゲートに隣接し、更に、

前記トランスファゲートの表面および前記コンタクトプラグの表面と同一面をなす表面を有する第1層間絶縁膜と、

前記第1層間絶縁膜の上に形成される第2層間絶縁膜と、

前記コンタクトプラグに比して小さく、前記第2層間絶縁膜を貫通して前記コンタクトプラグと導通する径縮小コンタクトプラグと、

を備えることを特徴とするものである。

【0019】

請求項2記載の発明は、請求項1記載の半導体装置であって、

複数のメモリセルを有するメモリセル部を有し、当該メモリセル部は、

前記トランスファゲート、前記コンタクトプラグ、前記第1および第2層間絶縁膜に加えて、前記第2層間絶縁膜の上に形成されるビット線と、前記ビット線を被うように前記第2層間絶縁膜の上に形成される第3層間絶縁膜と、前記第3層間絶縁膜の上に形成されるキャパシタとを備え、更に、

前記径縮小コンタクトプラグとして、前記第2層間絶縁膜を貫通して前記コン

タクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグと、前記第2および第3層間絶縁膜を貫通して前記コンタクトプラグとキャパシタとを導通させるキャパシタ用コンタクトプラグとを有することを特徴とするものである。

#### 【0020】

請求項3記載の発明は、請求項2記載の半導体装置であって、

前記ゲート電極層は、不純物を含有するドーフトシリコン層と、当該ドーフトシリコン層の表面を覆うシリサイド膜とを有し、

前記キャパシタに対応するコンタクトプラグ、前記キャパシタ用コンタクトプラグ、および前記キャパシタの下部電極は、何れも不純物を有するドーフトシリコンで形成され、

前記ビット線に対応するコンタクトプラグは、不純物を含有するドーフトシリコン層と、前記ビット線用コンタクトプラグと接する部位にのみ形成されるシリサイド膜とを有し、

前記ビット線用コンタクトプラグは、前記コンタクトプラグと接するバリアメタルと、当該バリアメタルの上に形成されるメタル層とを有することを特徴とするものである。

#### 【0021】

請求項4記載の発明は、請求項3記載の半導体装置であって、前記キャパシタは、SiONで構成されるキャパシタ絶縁膜と、不純物を含有するドーフトシリコンで構成される上部電極とを備えることを特徴とするものである。

#### 【0022】

請求項5記載の発明は、請求項2乃至4の何れか1項記載の半導体装置であって、

複数のトランジスタを含むロジック回路部を有し、当該ロジック回路部は、

前記トランスファゲート、前記コンタクトプラグ、前記第1および第2層間絶縁膜に加えて、前記第2層間絶縁膜の上に形成されるビット線を備え、更に、

前記径縮小コンタクトプラグとして、前記第2層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを有す

ることを特徴とするものである。

【 0 0 2 3 】

請求項 6 記載の発明は、請求項 5 記載の半導体装置であって、前記ロジック回路部は、CMOS トランジスタを構成する NMOS トランジスタと PMOS トランジスタとを有することを特徴とするものである。

【 0 0 2 4 】

請求項 7 記載の発明は、請求項 6 記載の半導体装置であって、

前記 NMOS トランジスタに対応して設けられるコンタクトプラグおよびゲート電極層は N 型不純物を含むドーフトシリコン層を有し、

前記 PMOS トランジスタに対応して設けられるコンタクトプラグおよびゲート電極層は P 型不純物を含むドーフトシリコン層を有することを特徴とするものである。

【 0 0 2 5 】

請求項 8 記載の発明は、請求項 6 記載の半導体装置であって、

前記メモリセル部は、第 1 導電型のトランジスタを備え、

前記 NMOS トランジスタおよび前記 PMOS トランジスタのうち、前記第 1 導電型と異なる導電型を有するものは、前記第 1 導電型の半導体に調製された埋め込みチャンネルと、第 2 導電型に調製された半導体により前記埋め込みチャンネルの表面付近に形成されたカウンターチャンネルとを有し、

前記 NMOS トランジスタに対応して設けられるコンタクトプラグは N 型不純物を含むドーフトシリコン層を有し、

前記 PMOS トランジスタに対応して設けられるコンタクトプラグは P 型不純物を含むドーフトシリコン層を有し、更に、

前記 NMOS トランジスタに対応して設けられるゲート電極層、並びに前記 PMOS トランジスタに対応して設けられるゲート電極層は、何れも前記第 1 導電型の不純物を含むドーフトシリコン層を有することを特徴とするものである。

【 0 0 2 6 】

請求項 9 記載の発明は、請求項 1 記載の半導体装置であって、

複数のトランジスタを含むロジック回路部を有し、当該ロジック回路部は、

前記トランスファゲート、前記コンタクトプラグ、前記第 1 および第 2 層間絶縁膜に加えて、前記第 2 層間絶縁膜の上に形成されるビット線を備え、更に、

前記径縮小コンタクトプラグとして、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを有することを特徴とするものである。

【 0 0 2 7 】

請求項 1 0 記載の発明は、請求項 9 記載の半導体装置であって、前記ロジック回路部は、CMOS トランジスタを構成する NMOS トランジスタと PMOS トランジスタとを有することを特徴とするものである。

【 0 0 2 8 】

請求項 1 1 記載の発明は、請求項 1 0 記載の半導体装置であって、

前記 NMOS トランジスタに対応して設けられるコンタクトプラグおよびゲート電極層は N 型不純物を含むドーフトシリコン層を有し、

前記 PMOS トランジスタに対応して設けられるコンタクトプラグおよびゲート電極層は P 型不純物を含むドーフトシリコン層を有することを特徴とするものである。

【 0 0 2 9 】

請求項 1 2 記載の発明は、請求項 1 乃至 1 1 の何れか 1 項記載の半導体装置であって、

前記コンタクトプラグおよび前記ゲート電極層は、不純物を含有するドーフトシリコン層と、当該ドーフトシリコン層の表面を覆うシリサイド膜とを有し、

前記径縮小コンタクトプラグは、前記シリサイド膜と接するバリアメタルと、当該バリアメタルの上に形成されるメタル層とを有することを特徴とするものである。

【 0 0 3 0 】

請求項 1 3 記載の発明は、請求項 1 乃至 1 1 の何れか 1 項記載の半導体装置であって、前記トランスファゲートのゲート電極層は、メタル層と、当該メタル層を取り囲むバリアメタルとを有することを特徴とするものである。

【 0 0 3 1 】

請求項 1 4 記載の発明は、請求項 1 乃至 1 3 の何れか 1 項記載の半導体装置であって、前記トランスファゲートのゲート酸化膜は、CVD法で形成されたCVD絶縁膜であることを特徴とするものである。

【 0 0 3 2 】

請求項 1 5 記載の発明は、前記トランスファゲートのゲート絶縁膜は、熱酸化法で形成された熱酸化膜、或いは熱酸化窒化法で形成された熱酸化窒化膜であることを特徴とする請求項 1 乃至 1 3 の何れか 1 項記載の半導体装置であって、ものである。

【 0 0 3 3 】

請求項 1 6 記載の発明は、上記第 2 の目的を達成するため、トランスファゲートに隣接するコンタクトプラグを有する半導体装置の製造方法であって、

シリコン基板の上に第 1 層間絶縁膜を成膜するステップと、

前記第 1 層間絶縁膜にトランスファゲート収容溝を形成するステップと、

前記トランスファゲート収容溝の中に、トランスファゲートのサイドウォールを形成するステップと、

前記サイドウォールの間に挟まれた空間内にトランスファゲートのゲート絶縁膜とゲート電極層とを形成するステップと、

前記トランスファゲートを構成する材質に対して前記第 1 層間絶縁膜を高い選択比で除去し得る条件で、前記第 1 層間絶縁膜の前記トランスファゲートに隣接する部分をエッチングすることにより、前記トランスファゲートに隣接するコンタクトホールを自己整合的に形成するステップと、

前記コンタクトホールの中にコンタクトプラグを形成するステップと、

前記第 1 層間絶縁膜、前記コンタクトプラグ、および前記トランスファゲートの上層に第 2 層間絶縁膜を形成するステップと、

前記コンタクトプラグに比して小さく、かつ、前記コンタクトプラグに通じる径縮小コンタクトホールを前記第 2 層間絶縁膜に形成するステップと、

前記径縮小コンタクトホールの中に前記コンタクトプラグと導通する径縮小コンタクトプラグを形成するステップと、

を含むことを特徴とするものである。

【 0 0 3 4 】

請求項 1 7 記載の発明は、請求項 1 6 記載の半導体装置の製造方法であって、前記コンタクトホールを形成するステップは、少なくとも 2 つのコンタクトホールに跨る開口を有するマスクパターンを用いて前記第 1 層間絶縁膜をエッチングするステップを含むことを特徴とするものである。

【 0 0 3 5 】

請求項 1 8 記載の発明は、請求項 1 7 記載の半導体装置の製造方法であって、前記半導体装置は複数のメモリセルを有するメモリセル部を備え、

前記メモリセル部において、第 2 層間絶縁膜の上にビット線を形成するステップと、

前記ビット線を被うように前記第 2 層間絶縁膜の上に第 3 層間絶縁膜を形成するステップと、

前記メモリセル部において、前記第 3 層間絶縁膜の上にキャパシタを形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、

前記メモリセル部において、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを形成するサブステップと、

前記メモリセル部において、前記第 2 および第 3 層間絶縁膜を貫通して前記コンタクトプラグとキャパシタとを導通させるキャパシタ用コンタクトプラグを形成するサブステップとを含むことを特徴とするものである。

【 0 0 3 6 】

請求項 1 9 記載の発明は、請求項 1 7 または 1 8 項記載の半導体装置の製造方法であって、

前記キャパシタに対応するコンタクトプラグ、前記キャパシタ用コンタクトプラグ、および前記キャパシタの下部電極は、何れも不純物を有するドーフトシリコンで形成され、

前記ビット線に対応するコンタクトプラグは、不純物を含有するドーフトシリコン層と、前記ビット線用コンタクトプラグと接する部位にのみ形成されるシリ

サイド膜とで形成され、

前記ビット線用コンタクトプラグは、前記コンタクトプラグと接するバリアメタルと、当該バリアメタルの上に形成されるメタル層とで形成されることを特徴とするものである。

【 0 0 3 7 】

請求項 2 0 記載の発明は、請求項 1 9 記載の半導体装置の製造方法であって、前記キャパシタを形成するステップは、

SiONでキャパシタ絶縁膜を形成するサブステップと、

不純物を含有するドーフトシリコンで上部電極を形成するサブステップとを含むことを特徴とするものである。

【 0 0 3 8 】

請求項 2 1 記載の発明は、請求項 1 8 乃至 2 0 の何れか 1 項記載の半導体装置の製造方法であって、

前記半導体装置は複数のメモリセルを有するロジック回路部を備え、

前記ロジック回路部において、第 2 層間絶縁膜の上にビット線を形成するステップと、

前記ビット線を被うように前記第 2 層間絶縁膜の上に第 3 層間絶縁膜を形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、

前記ロジック回路部において、前記第 2 層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを形成するサブステップを含むことを特徴とするものである。

【 0 0 3 9 】

請求項 2 2 記載の発明は、請求項 2 1 記載の半導体装置の製造方法であって、

前記ロジック回路部は、NMOSトランジスタを有するNMOSトランジスタ部と、PMOSトランジスタを有するPMOSトランジスタ部とを有し、

前記NMOSトランジスタ部に、N型半導体に調製されたソースドレイン領域とP型半導体に調製されたチャネルとを形成するステップと、

前記PMOSトランジスタ部に、P型半導体に調製されたソースドレイン領域



とN型半導体に調製されたチャネルとを形成するステップとを更に含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに不純物を含まないシリコン膜を埋め込むサブステップと、NMOSトランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜にN型不純物を注入するサブステップと、PMOSトランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜にP型不純物を注入するサブステップとを含むことを特徴とするものである。

#### 【0040】

請求項23記載の発明は、請求項21記載の半導体装置の製造方法であって、前記メモリセル部は第1導電型のトランジスタを有し、

前記ロジック回路部は、NMOSトランジスタを有するNMOSトランジスタ部と、PMOSトランジスタを有するPMOSトランジスタ部とを有し、

前記メモリセル部に、前記第1導電型の半導体に調製されたソースドレイン領域と第2導電型の半導体に調製されたチャネルとを形成するステップと、

前記NMOSトランジスタ部および前記PMOSトランジスタ部のうち、前記第1導電型のトランジスタを形成すべき側に、前記第1導電型の半導体に調製されたソースドレイン領域と前記第2導電型の半導体に調製されたチャネルとを形成するステップと、

前記NMOSトランジスタ部および前記PMOSトランジスタ部のうち、前記第2導電型のトランジスタを形成すべき側に、前記第2導電型の半導体に調製されたソースドレイン領域と、前記第1導電型の半導体に調製された埋め込みチャネルと、前記埋め込みチャネルの表面付近に位置し、第2導電型の半導体に調製されたカウンターチャネルとを形成するステップとを更に含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに前記第1導電型の不純物を含むシリコン膜を埋め込むサブステップを含むことを特徴とするものである。

#### 【0041】

請求項24記載の発明は、請求項16または17記載の半導体装置の製造方法であって、

前記半導体装置は複数のメモリセルを有するロジック回路部を備え、

前記ロジック回路部において、第2層間絶縁膜の上にビット線を形成するステップと、

前記ビット線を被うように前記第2層間絶縁膜の上に第3層間絶縁膜を形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、

前記ロジック回路部において、前記第2層間絶縁膜を貫通して前記コンタクトプラグと前記ビット線とを導通させるビット線用コンタクトプラグを形成するサブステップを含むことを特徴とするものである。

【 0 0 4 2 】

請求項 2 5 記載の発明は、請求項 2 4 記載の半導体装置の製造方法であって、

前記ロジック回路部は、NMOSトランジスタを有するNMOSトランジスタ部と、PMOSトランジスタを有するPMOSトランジスタ部とを有し、

前記NMOSトランジスタ部に、N型半導体に調製されたソースドレイン領域とP型半導体に調製されたチャネルとを形成するステップと、

前記PMOSトランジスタ部に、P型半導体に調製されたソースドレイン領域とN型半導体に調製されたチャネルとを形成するステップとを更に含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに不純物を含まないシリコン膜を埋め込むサブステップと、NMOSトランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜にN型不純物を注入するサブステップと、PMOSトランジスタに対応するコンタクトホールに埋め込まれた前記シリコン膜にP型不純物を注入するサブステップとを含むことを特徴とするものである。

【 0 0 4 3 】

請求項 2 6 記載の発明は、請求項 1 6 乃至 2 5 の何れか 1 項記載の半導体装置の製造方法であって、

前記ゲート電極層を形成するステップは、前記サイドウォールの間に挟まれた空間内に、不純物を含有するドープトシリコンを埋め込むサブステップを含み、

前記コンタクトプラグを形成するステップは、前記コンタクトホールに、不純

物を含有するドーフトシリコンを埋め込むサブステップを含み、

前記コンタクトホールが前記ドーフトシリコンで埋め込まれた後に、半導体ウェハの全面に、シリサイド膜の基材となるメタルを堆積させるステップと、

半導体ウェハに所定の熱処理を施して、前記ゲート電極層の表面および前記コンタクトプラグの表面のみに自己整合的にシリサイド膜を形成するステップとを更に含み、

前記径縮小コンタクトプラグを形成するステップは、前記径縮小コンタクトホールの底部にバリアメタルを形成するサブステップと、前記バリアメタルの上にメタル層を形成するステップとを含むことを特徴とするものである。

【 0 0 4 4 】

請求項 2 7 記載の発明は、請求項 1 6 乃至 2 5 の何れか 1 項記載の半導体装置の製造方法であって、

前記トランスファゲートのゲート電極層を形成するステップは、

前記サイドウォールに挟まれた空間内に、シリコン基板の露出部分を被うゲート絶縁膜を形成するサブステップと、

前記サイドウォールの間に残存する空間の側面および底面に沿ってバリアメタルを形成するサブステップと、

前記バリアメタルに囲まれた空間にメタル材料を埋め込むサブステップとを含むことを特徴とするものである。

【 0 0 4 5 】

請求項 2 8 記載の発明は、請求項 1 6 乃至 2 7 の何れか 1 項記載の半導体装置の製造方法であって、前記トランスファゲートのゲート絶縁膜は、CVD法で形成されることを特徴とするものである。

【 0 0 4 6 】

請求項 2 9 記載の発明は、請求項 1 6 乃至 2 7 の何れか 1 項記載の半導体装置の製造方法であって、前記トランスファゲートのゲート酸化膜は、熱酸化法或いは熱酸化窒化法で形成されることを特徴とするものである。

【 0 0 4 7 】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【0048】

実施の形態1.

図1(a)～図14(c)は本発明の実施の形態1の半導体装置の製造方法を説明するための図を示す。また、図15(a)～図17(c)は、本実施形態で製造されるDRAM混載デバイスのレイアウトを、製造工程の進行に合わせて説明するための図である。

【0049】

実施の形態1では、DRAMとロジックデバイスとを同一基板上に備える半導体装置、すなわち、DRAM混載デバイスが製造される。図1(a)～図17(c)のうち各図(a)欄にはDRAM混載デバイスのメモリセル部の断面図が示されている。また、(b)欄および(c)欄には、ロジック回路部に形成されるCMOSの断面図、より具体的には、ロジック回路部のNMOSトランジスタ部およびPMOSトランジスタ部の断面図が示されている。

【0050】

本実施形態において、DRAM混載デバイスは、以下の手順で製造される。

ステップ1：図1(a)～図1(c)に示すようにシリコン基板10に絶縁膜分離12を形成する。その結果、半導体ウェハ上の各領域に活性領域13が形成される(図15(a)～図15(c)のレイアウト参照)。

ステップ2：メモリセル部およびNMOSトランジスタ部にP型ウェル14を形成する。次いで、P型ウェル14の表面付近にN-不純物を注入してN-拡散層15を形成する。

ステップ3：PMOSトランジスタ部にN型ウェル16を形成する。次いで、N型ウェル16の表面付近にP-不純物を注入してP-拡散層17を形成する。

【0051】

ステップ4：図2(a)～図2(c)に示すように、メモリセル部、NMOSトランジスタ部、およびPMOSトランジスタ部の活性領域13上にシリコン酸化膜78とシリコン窒化膜32とを重ねて形成する。

ステップ5：シリコン窒化膜32の上層に、TEOS酸化膜あるいはBPSGなどにより、第1層間絶縁膜44を形成する。

【0052】

ステップ6：図3(a)～図3(c)に示すように、写真製版およびドライエッチングにより、第1層間絶縁膜44にTG收容溝45を形成する(図15(a)～図15(c)のレイアウト参照)。

【0053】

ステップ7：図4(a)～図4(c)に示すように、シリコン窒化膜32および第1層間絶縁膜44の上層にスペーサ窒化膜80が形成される。

【0054】

ステップ8：図5(a)～図5(c)に示すように、スペーサ窒化膜80は、第1層間絶縁膜44の上面、および活性領域13の表面が露出するまでドライエッチングにより除去される。その結果、第1層間絶縁膜44の側面を被うサイドウォール34が形成される。

ステップ9：メモリセル部、NMOSトランジスタ部、およびPMOSトランジスタ部に、それぞれトランジスタのチャネル18, 20, 22をトランジスタに対して自己整合的に形成すべく、それらの領域に不純物を注入する。

【0055】

ステップ10：図6(a)～図6(c)に示すように、半導体ウェハの全面にCVD法によりゲート絶縁膜24とポリシリコン膜82とが重ねて形成される。ゲート絶縁膜24は、例えば、 $\text{SiO}_2$ ,  $\text{SiON}$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{SrTiO}_3$ ,  $\text{BaSrTiO}_3$ ,  $\text{ZrO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{Y}_2\text{O}_3$ , またはこれらの積層膜などで形成される。

ステップ10-1：メモリセル部およびNMOSトランジスタ部に、マスクを用いてN型不純物(P, Asなど)が注入される。

ステップ10-2：PMOSトランジスタ部に、マスクを用いてP型不純物(B,  $\text{BF}_2$ )が注入される。

ステップ10-3：上記の処理によりポリシリコン膜82に注入された不純物を活性化させるため所定の熱処理が実行される。その結果、メモリセル部およびNMOSトランジスタ部では、ポリシリコン膜82がN型半導体となり、PMOS

トランジスタ部ではポリシリコン膜 8 2 が P 型半導体となる。

【 0 0 5 6 】

ステップ 1 1 : 図 7 ( a ) ~ 図 7 ( c ) に示すように、サイドウォール 3 4 が露出するまで半導体ウェハの全面が CMP ( Chemical Mechanical Polishing ) により研磨される。その結果、チャネル 1 8 , 2 0 , 2 2 の上層に独立したゲート電極膜 2 6 が自己整合的に形成され、個々の T G 収容溝 4 5 の中に独立した T G 3 3 が形成される。

【 0 0 5 7 】

ステップ 1 2 : 図 1 6 ( a ) ~ 図 1 6 ( c ) 中に符号 8 4 を付して表すマスクパターンを用いて、第 1 層間絶縁膜 4 4 がドライエッチングされる。このドライエッチングは、ポリシリコンおよびシリコン窒化膜に対して、シリコン酸化膜を高い選択比で除去し得る条件で行われる。その結果、図 8 ( a ) ~ 図 8 ( c ) に示すように、隣接する T G 3 3 間 ( メモリセル部 ) 、或いは T G 3 3 の両側 ( ロジック回路部 ) に、自己整合的にコンタクトホール 4 6 が形成される ( 図 1 6 ( a ) ~ 図 1 6 ( c ) のレイアウト参照 ) 。

【 0 0 5 8 】

図 1 6 ( a ) ~ 図 1 6 ( c ) に示すように、本実施形態では、コンタクトホール 4 6 を開口する際に、複数のコンタクトホール 4 6 に跨る大きなマスクパターン 8 4 が用いられる。このようなマスクパターン 8 4 が用いられるにも関わらず、シリコン酸化膜を選択的に除去し得るエッチング条件が用いられるため、メモリセル部およびロジック回路部の双方において、自己整合的に適正な位置にコンタクトホール 4 6 を開口することができる。

【 0 0 5 9 】

コンタクトホール 4 6 を自己整合的に形成する際に、個々のコンタクトホール 4 6 に比して十分に大きなマスクパターン 8 4 が用いられる場合、個々のコンタクトホール 4 6 とほぼ大きさが同じマスクパターン 4 8 ( 図 2 9 ( a ) ~ 図 2 9 ( c ) 参照 ) が用いられる場合に比して、より大きなプロセスマージンを確保することができる。従って、本実施形態の製造方法によれば、従来の製造方法に比してより安定的に、適正なコンタクトホール 4 6 を形成することができる。

## 【 0 0 6 0 】

また、上記の如く、本実施形態では、メモリセル部のみならずロジック回路部においてもコンタクトホール46が自己整合的に適正な位置に形成される。このため、本実施形態では、ロジック回路部において、コンタクトホール46の位置ずれを想定したマージンを十分に小さくすることができる。従って、本実施形態の製造方法によれば、ロジック回路部のコンタクトホールの位置が写真製版の精度により決定される場合に比して、ロジック回路部の更なる微細化に対応することができる。

## 【 0 0 6 1 】

ステップ13：図9（a）～図9（c）に示すように、コンタクトホール46の底部に残存していたシリコン酸化膜78およびシリコン窒化膜32がドライエッチングによって除去される。次に、NMOSトランジスタ部およびPMOSトランジスタ部に、それぞれN型不純物（P, Asなど）およびP型不純物（B,  $\text{BF}_2$ など）を注入する。その結果、NMOSトランジスタ部にはN-領域36とN+領域38とが形成され、PMOSトランジスタ部にはP-領域40とP+領域42とが形成される。

## 【 0 0 6 2 】

ステップ14：図10（a）～図10（c）に示すように、半導体ウェハの全面にポリシリコン膜86が堆積される。

ステップ15：メモリセル部およびNMOSトランジスタ部に、マスクを用いてN型不純物（P, Asなど）が注入される。

ステップ16：PMOSトランジスタ部に、マスクを用いてP型不純物（B,  $\text{BF}_2$ ）が注入される。

ステップ17：上記の処理に続いてよりポリシリコン膜86に注入された不純物を活性化させるため所定の熱処理が実行される。その結果、メモリセル部およびNMOSトランジスタ部では、ポリシリコン膜86がN型半導体となり、PMOSトランジスタ部ではポリシリコン膜86がP型半導体となる。

## 【 0 0 6 3 】

ステップ18：図11（a）～図11（c）に示すように、サイドウォール3

4 が露出するまで半導体ウェハの全面がCMPにより研磨される。その結果、コンタクトホール46の内部に、独立したコンタクトプラグ50が形成される（図16（a）～図16（c）のレイアウト参照）。

#### 【0064】

上述の如く、本実施形態の製造方法によれば、シリコン基板10の上に先ず第1層間絶縁膜44を形成し（ステップ1～5）、その第1層間絶縁膜44に埋め込むようにTG33を形成することができる（ステップ6～11）。更に、本実施形態の製造方法によれば、TG33が形成された後、第1層間絶縁膜44に埋め込むようにコンタクトプラグ50を形成することができる。

#### 【0065】

つまり、本実施形態の製造方法では、TG33およびコンタクトプラグ50を形成する過程で、隣接するTG33間にシリコン酸化膜を堆積させる必要が生じない。この場合、第1層間絶縁膜44の膜質を劣化させることなく、DRAM混載デバイスの微細化、すなわち、TG33のアスペクト比（幅に対する高さの比）の増大に対処することが可能となる。従って、本実施形態の製造方法によれば、TG33を形成した後に、隣接TG33間にシリコン酸化膜を堆積させる手法がとられる場合に比して、DRAM混載デバイスを安定的に製造することができる。

#### 【0066】

ステップ19：コンタクトプラグ50が形成された後、半導体ウェハの全面にはCo膜88が形成される。

ステップ20：半導体ウェハに対して所定の熱処理が施されることにより、シリコンの露出部分とCo膜88とを反応させる。その結果、シリコンの露出部分のみに、自己整合的にCoとSiのシリサイド膜、すなわち、 $\text{CoSi}_2$ などのシリサイド膜90が形成される。

ステップ21：シリサイド膜90が形成された後、半導体ウェハ上に残存する未反応のCo膜88が除去される。その結果、図12（a）～図12（c）に示す状態が形成される。

#### 【0067】



ステップ 2 2 : 図 1 3 ( a ) ~ 図 1 3 ( c ) に示すように、半導体ウェハの全面に第 2 層間絶縁膜 5 2 が堆積される。

ステップ 2 3 : メモリセル部、NMOS トランジスタ部、および PMOS トランジスタ部において、コンタクトプラグ 5 0 とビット線とを導通させるための BL コンタクト 5 4 が形成される。BL コンタクト 5 4 は、図 1 7 ( a ) ~ 図 1 7 ( c ) 中に符号 5 6 を付して表すマスクパターン (コンタクトプラグ 5 0 に比して小さな径縮小マスクパターン) を用いて形成される。

ステップ 2 4 : BL コンタクト 5 4 の底部、および第 2 層間絶縁膜 5 2 の表面にバリアメタル 9 2 (TiN、Ti、WN など) を形成する。次いで、バリアメタル 9 2 上に、CVD 法またはスパッタ法によりメタル膜 9 4 (W、Al、AlCu など) を堆積させる。

ステップ 2 5 : 第 2 層間絶縁膜 5 2 の上層において、メタル膜 9 4 およびバリアメタル 9 2 を所望の形状にパターニングすることによりビット線 6 0 を形成する。

#### 【 0 0 6 8 】

ステップ 2 6 : 図 1 4 ( a ) ~ 図 1 4 ( c ) に示すように、ビット線 6 0 の上層に第 3 層間絶縁膜 6 2 が形成される。

ステップ 2 7 : メモリセル部において、第 2 および第 3 層間絶縁膜 5 2 , 6 2 を貫通してコンタクトプラグ 5 0 の上部に開口するキャパシタコンタクト 6 4 が形成される。キャパシタコンタクト 6 4 は、図 1 7 ( a ) ~ 図 1 7 ( c ) 中に符号 6 6 を付して表すマスクパターン (コンタクトプラグ 5 0 に比して小さな径縮小マスクパターン) を用いて形成される。

#### 【 0 0 6 9 】

ステップ 2 8 : 半導体ウェハの全面にバリアメタル 9 6 (TiN、Ti、WN など) が堆積される。次いで、CVD 法またはスパッタ法により半導体ウェハの全面に W や Al などのメタル膜 9 6 が堆積される。

ステップ 2 9 : CMP 法などにより第 3 層間絶縁膜 6 2 の表面に堆積されたバリアメタル 9 6 およびメタル膜 9 6 が除去される。その結果、キャパシタコンタクト 6 4 の中に、バリアメタル 9 6 と導電性のコンタクトプラグ 6 8 とが埋め込

まれる。

#### 【 0 0 7 0 】

ステップ 3 0 : 第 3 層間絶縁膜 6 2 の上に第 4 層間絶縁膜 7 0 が形成される。メモリセル部には、コンタクトプラグ 6 8 と導通するキャパシタ下部電極 7 2、下部電極 7 2 を被う高誘電率キャパシタ絶縁膜 7 4、および絶縁膜 7 4 を被うキャパシタ上部電極 7 6 が形成される。尚、下部電極 7 2 および上部電極 7 6 は、W, Ti, TiN, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> などにより形成される。また、キャパシタ絶縁膜 7 4 は、Ta<sub>2</sub>O<sub>5</sub>, SrTiO<sub>3</sub>, BaSrTiO<sub>3</sub> などにより形成される。本実施形態の製造方法では、上述した一連の処理が実行されることにより、COB 構造の DRAM を備えるメモリ混載デバイスが製造される。

#### 【 0 0 7 1 】

実施の形態 2.

次に、図 1 8 ( a ) ~ 図 1 8 ( c ) を参照して本発明の実施の形態 2 の製造方法について説明する。本実施形態の製造方法は、ステップ 9 ~ 1 0 - 3 の処理を除き、実施の形態 1 の場合と同様である。実施の形態 1 において、ステップ 9 ( 図 5 ( a ) ~ 図 5 ( c ) 参照) では、PMOS のチャンネル 2 2 を形成するため、PMOS トランジスタ部に N 型不純物が注入される。

#### 【 0 0 7 2 】

本実施形態では、ステップ 9 において、PMOS トランジスタ部に、先ず 3 0 ~ 1 0 0 nm の深さで N 型不純物 ( P, As など) が注入され、次いで 5 nm ~ 5 0 nm の深さで P 型不純物 ( B, BF<sub>2</sub> など) が注入される。その結果、PMOS トランジスタ部の TG 3 3 の下部には、N 型半導体の埋め込みチャンネル 2 2 A と P 型半導体のカウンターチャンネル 2 2 B とが形成される。つまり、本実施形態の製造方法では、PMOS トランジスタ部に、埋め込みチャンネル型 PMOS が形成される。

#### 【 0 0 7 3 】

実施の形態 1 において、ステップ 1 0 では、半導体ウェハの全面に先ず不純物を含むしないポリシリコン膜 8 2 が堆積される ( 図 6 ( a ) ~ 図 6 ( c ) 参照) 。そして、ステップ 1 0 - 1 ~ 1 0 - 3 において、メモリセル部および NMOS トラ

ンジスタ部のポリシリコン膜 8 2 が N 型半導体とされ、一方、PMOS トランジスタ部のポリシリコン膜 8 2 が P 型半導体とされる。

【 0 0 7 4 】

本実施形態において、PMOS トランジスタ部には、上記の如く埋め込みチャネル型 PMOS が形成されている。この場合、PMOS トランジスタ部のゲート電極膜 2 6 は N 型半導体とすることができる。このため、本実施形態の製造方法では、ステップ 1 0 において、N 型不純物 (P, As など) を含むドーフトポリシリコンを半導体ウェハの全面に堆積させてポリシリコン膜 8 2 を形成したうえで、実施の形態 1 におけるステップ 1 0 - 1 ~ 1 0 - 3 を省略することができる。このため、本実施形態の製造方法によれば、実施の形態 1 の場合に比して更に簡便に微細な DRAM 混載デバイスを製造することができる。

【 0 0 7 5 】

実施の形態 3 .

次に、図 1 9 ( a ) ~ 図 1 9 ( c ) を参照して本発明の実施の形態 3 の製造方法について説明する。本実施形態の製造方法は、ステップ 1 0 の処理を除き、実施の形態 1 の場合と同様である。実施の形態 1 において、ステップ 1 0 ( 図 6 ( a ) ~ 図 6 ( c ) 参照) では、CVD 法によりゲート絶縁膜 2 4 が形成される。これに対して、本実施形態では、ステップ 1 0 において、熱酸化法、或いは熱酸化窒化法によりゲート絶縁膜 2 4 A が形成される。本実施形態の製造方法によっても、実施の形態 1 の場合と同様に、微細な DRAM 混載デバイスを安定的に製造することができる。

【 0 0 7 6 】

実施の形態 4 .

次に、図 2 0 ( a ) ~ 図 2 0 ( c ) を参照して本発明の実施の形態 4 の製造方法について説明する。本実施形態の製造方法は、実施の形態 2 の製造方法と実施の形態 3 の製造方法との組み合わせである。すなわち、本実施形態の製造方法では、PMOS トランジスタ領域に埋め込みチャネル 2 2 A とカウンターチャネル 2 2 B が形成されると共に、熱酸化法、或いは熱酸化窒化法によりゲート絶縁膜 2 4 A が形成される。本実施形態の製造方法によっても、実施の形態 1 の場合と

同様に、微細なDRAM混載デバイスを安定的に製造することができる。

【0077】

実施の形態5.

次に、図21(a)～図21(c)を参照して本発明の実施の形態5の製造方法について説明する。本実施形態の製造方法は、実施の形態3の製造方法の変形例である。すなわち、実施の形態3の製造方法では、ステップ11(図7(a)～図7(c)参照)の処理に次いで以下の処理が実行される。

【0078】

ステップ11-1:半導体ウェハの全面にスパッタ法によりCo膜を形成する。

ステップ11-2:半導体ウェハに対して所定の熱処理を施して、シリコンの露出部分に自己整合的にCoとSiのサリサイド膜90を形成する。

ステップ11-3:半導体ウェハ上に残存する未反応のCo膜をウェットエッチングにより除去する。

【0079】

以後、ステップ12～18の処理が実行される。この場合、ステップ18が終了した段階で(図11(a)～図11(c)参照)、ゲート電極膜26の表面はサリサイド膜90で被われている。本実施形態において、ステップ19～21(図12(a)～図12(c)参照)の処理は省略される。

【0080】

本実施形態の製造方法では、ステップ23(図13(a)～図13(c)参照)でBLコンタクト54が形成された後、以下の処理が実行される。

ステップ23-1:半導体ウェハの全面にスパッタ法によりCo膜を形成する。

ステップ23-2:半導体ウェハに対して所定の熱処理を施して、シリコンの露出部分のみに、すなわち、BLコンタクト54の底部のみにサリサイド膜90を形成する。

ステップ23-3:第2層間絶縁膜52の上に残存する未反応のCo膜をウェットエッチングにより除去する。

【0081】

上記の処理に次いで、ステップ24～27の処理が実行される。ステップ28

の処理、すなわち、キャパシタコンタクト 6 4 の底部にバリアメタル 9 6 を形成する処理は省略される。また、ステップ 2 9 の処理、すなわち、WやAlでコンタクトプラグ 6 8 を形成する処理は以下の処理に置き換えられる。

ステップ 2 9 - 1 : キャパシタコンタクト 6 4 の内部にポリシリコンでコンタクトプラグ 6 8 A を形成する。

#### 【 0 0 8 2 】

更に、本実施形態では、メモリセル部にキャパシタを形成するためのステップ 3 0 の処理が、以下の処理に置き換えられる。

ステップ 3 0 - 1 : 第 4 層間絶縁膜 7 0 にキャパシタ収容スペースを設けてその中に N 型不純物を含むドーフトポリシリコンでキャパシタ下部電極 7 2 A を形成する。

ステップ 3 0 - 2 : 下部電極 7 2 A を被うように、SiON 膜などでキャパシタ絶縁膜 7 4 A を形成する。

ステップ 3 0 - 3 : キャパシタ絶縁膜 7 4 A の上層に、N 型不純物を含むドーフトポリシリコンでキャパシタ上部電極 7 6 A を形成する。

#### 【 0 0 8 3 】

本実施形態では、上記の如く、キャパシタコンタクト 6 4 の底部にバリアメタル 9 6 を形成する工程を省略することができる。このため、本実施形態の製造方法によれば、微細な D R A M 混載デバイスを、実施の形態 3 の場合に比して更に簡便に製造することができる。

#### 【 0 0 8 4 】

実施の形態 6 .

次に、図 2 2 ( a ) ~ 図 2 2 ( c ) を参照して本発明の実施の形態 6 の製造方法について説明する。本実施形態の製造方法は、実施の形態 4 の製造方法と実施の形態 5 の製造方法との組み合わせである。すなわち、本実施形態では、P M O S トランジスタ領域に埋め込みチャンネル 2 2 A とカウンターチャンネル 2 2 B が形成されると共に、熱酸化法、或いは熱酸化窒化法によりゲート絶縁膜 2 4 A が形成される。更に、本実施形態では、キャパシタコンタクト 6 4 の内部に、コンタクトプラグ 5 0 と直接接触するポリシリコン製のコンタクトプラグ 6 8 A が形成

される。本実施形態の製造方法によっても、実施の形態 4 の場合と同様の効果を得ることができる。

【 0 0 8 5 】

実施の形態 7.

次に、図 2 3 ( a ) ~ 図 2 3 ( c ) を参照して本発明の実施の形態 7 の製造方法について説明する。本実施形態の製造方法は、実施の形態 1 の製造方法と実施の形態 5 の製造方法との組み合わせである。本実施形態の製造方法によっても、実施の形態 1 の場合と同様の効果を得ることができる。

【 0 0 8 6 】

実施の形態 8.

次に、図 2 4 ( a ) ~ 図 2 4 ( c ) を参照して本発明の実施の形態 8 の製造方法について説明する。本実施形態の製造方法は、実施の形態 2 の製造方法と実施の形態 5 の製造方法との組み合わせである。本実施形態の製造方法によっても、実施の形態 2 の場合と同様の効果を得ることができる。

【 0 0 8 7 】

実施の形態 9.

次に、図 2 5 ( a ) ~ 図 2 5 ( c ) を参照して本発明の実施の形態 9 の製造方法について説明する。本実施形態の製造方法は、実施の形態 1 の製造方法の変形例である。すなわち、本実施形態では、実施の形態 1 のステップ 1 0 の処理 ( 図 6 ( a ) ~ 図 6 ( c ) 参照) に代えて以下の処理が実行される。

【 0 0 8 8 】

ステップ 1 0 - 4 : 半導体ウェハの全面に C V D 法により、高誘電率ゲート絶縁膜 2 4 B (  $\text{Ta}_2\text{O}_5$ ,  $\text{SrTiO}$ ,  $\text{BaSrTiO}$  など) が形成される。

ステップ 1 0 - 5 : 高誘電率ゲート絶縁膜 2 4 B の上層にバリアメタル 9 8 (  $\text{Ti}$ ,  $\text{TiN}$ ,  $\text{WN}$ ,  $\text{Ru}$ ,  $\text{RuO}_2$ ,  $\text{Ir}$ ,  $\text{IrO}_2$  など) が形成される。

ステップ 1 0 - 5 : バリアメタル 9 8 の上層にメタル系ゲート電極膜 1 0 0 (  $\text{W}$ ,  $\text{Al}$ ,  $\text{AlCu}$ ,  $\text{Cu}$  など) が形成される。

【 0 0 8 9 】

また、本実施形態では、実施の形態 1 におけるステップ 1 3 に次いで ( 図 9 (

a) ～図 9 (c) 参照)、ステップ 1 4 ～1 8 に代えて以下の処理が実行される。

ステップ 1 3-1: 半導体ウェハの全面にバリアメタル 1 0 2 (Ti, TiN など) と、コンタクトプラグ用メタル材料 1 0 4 (W, Al など) とを堆積させる。

ステップ 1 3-2: CMP により不要な部分を除去することによりメタル系コンタクトプラグ 5 0 A を形成する。

#### 【 0 0 9 0 】

コンタクトプラグ 5 0 A がメタル系材料で形成される場合、その表面にシリサイド膜等を形成する必要がない。このため、本実施形態では、実施の形態 1 におけるステップ 1 9 ～2 1 の処理を省略することができる。従って、本実施形態の製造方法によれば、微細な D R A M 混載デバイスを実施の形態 1 の場合に比して更に簡便に形成することができる。

#### 【 0 0 9 1 】

実施の形態 1 0 .

次に、図 2 6 (a) ～図 2 6 (c) を参照して本発明の実施の形態 1 0 の製造方法について説明する。本実施形態の製造方法は、実施の形態 2 の製造方法と実施の形態 9 の製造方法との組み合わせである。本実施形態の製造方法によっても、実施の形態 2 の場合と同様の効果を得ることができる。

#### 【 0 0 9 2 】

上述した実施の形態 9 および 1 0 では、半導体ウェハ上に形成された溝の中にメタル材料を埋め込み、CMP などの手法でその表面を平坦化することにより、メタル系のコンタクトプラグ 5 0 A やメタル系ゲート電極膜 1 0 0 が形成されている。レジストや酸化膜をマスクとするエッチングによってメタル系材料を制度良くパターニングする処理は、技術的に高い難易度が伴う。これに対して、実施の形態 9 または 1 0 の手法では、それらを容易に形成することができる。このように、上述した実施の形態 9 又は 1 0 の手法によれば、メタル系の電極等を容易に形成し得るという効果も得ることができる。

#### 【 0 0 9 3 】

【発明の効果】

この発明は以上説明したように構成されているので、以下に示すような効果を奏する。

請求項 1 または 1 6 記載の発明によれば、自己整合的に形成したコンタクトプラグの上に径縮小コンタクトプラグを形成することで、十分に大きな深さを有するコンタクトプラグを安定的に形成することができる。また、本発明では、隣接するトランスファゲート間を埋めるように層間絶縁膜を形成する必要がないため、半導体装置の高度な微細化に対応することができる。

【 0 0 9 4 】

請求項 2 または 1 8 記載の発明によれば、ビット線およびキャパシタを有するメモリセル部において、請求項 1 または 1 6 記載の発明と同様の効果を得ることができる。

【 0 0 9 5 】

請求項 3 または 1 9 記載の発明によれば、コンタクトプラグ、径縮小コンタクトプラグ、およびキャパシタの下部電極を全てドーフトシリコンで実現しつつ、請求項 1 または 1 6 記載の発明と同様の効果を確保することができる。

【 0 0 9 6 】

請求項 4 または 2 0 記載の発明によれば、キャパシタ下部電極およびキャパシタ上部電極をドーフトシリコンで形成し、かつ、キャパシタ絶縁膜をSiONで形成しつつ、請求項 1 または 1 6 記載の発明と同様の効果を確保することができる。

【 0 0 9 7 】

請求項 5、9、2 1 または 2 4 記載の発明によれば、ビット線を有するロジック回路部において請求項 1 または 1 6 記載の発明と同様の効果を得ることができる。

【 0 0 9 8 】

請求項 6 または 1 0 記載の発明によれば、CMOSトランジスタを備えるロジック回路部において請求項 1 または 1 6 記載の発明と同様の効果を得ることができる。

【 0 0 9 9 】

請求項 7、1 1、2 2 または 2 5 記載の発明によれば、CMOSトランジスタ



、およびCMOSトランジスタを動作させるための配線構造を、効率的にロジック回路部に形成することができる。

【0100】

請求項8または23記載の発明によれば、CMOSトランジスタを構成するNMOSトランジスタおよびPMOSトランジスタの一方が埋め込みチャネル型MOSトランジスタとされる。このため、本発明によれば、CMOSトランジスタを動作させるための配線構造を容易に実現することができる。

【0101】

請求項12または26記載の発明によれば、コンタクトプラグおよびゲート電極層がドーフトシリコンで形成され、かつ、径縮小コンタクトプラグがメタルで構成される構造において、請求項1または16記載の発明と同様の効果を得ることができる。

【0102】

請求項13または27記載の発明によれば、ゲート電極をメタル材料で形成しつつ、請求項1または16記載の発明と同様の効果を得ることができる。

【0103】

請求項14、15、28または29記載の発明によれば、CVD法、熱酸化法、或いは熱酸化窒化法により、メモリセル部を形成する過程において、サイドウォールの間に露出したシリコン基板の表面に適切にゲート絶縁膜を形成することができる。

【0104】

請求項17記載の発明によれば、形成すべきコンタクトホールに比して十分に大きな開口を有するマスクパターンを用いて自己整合的に適正にコンタクトホールを形成することができる。コンタクトホールの開口に関するプロセスマージンは、マスクパターンが大きいほど確保し易い。従って、本発明によれば、コンタクトホールの開口処理を容易化することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置の製造方法の流れを説明するための図（その1）である。

【図 2】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 2）である。

【図 3】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 3）である。

【図 4】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 4）である。

【図 5】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 5）である。

【図 6】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 6）である。

【図 7】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 7）である。

【図 8】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 8）である。

【図 9】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 9）である。

【図 1 0】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 1 0）である。

【図 1 1】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 1 1）である。

【図 1 2】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 1 2）である。

【図 1 3】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 1 3）である。

【図 1 4】 本発明の実施の形態 1 の半導体装置の製造方法の流れを説明するための図（その 1 4）である。

【図 1 5】 本発明の実施の形態 1 の半導体装置のレイアウトを説明するための図（その 1）である。

【図 1 6】 本発明の実施の形態 1 の半導体装置のレイアウトを説明するた

めの図（その 2）である。

【図 1 7】 本発明の実施の形態 1 の半導体装置のレイアウトを説明するための図（その 3）である。

【図 1 8】 本発明の実施の形態 2 の半導体装置の製造方法を説明するための図である。

【図 1 9】 本発明の実施の形態 3 の半導体装置の製造方法を説明するための図である。

【図 2 0】 本発明の実施の形態 4 の半導体装置の製造方法を説明するための図である。

【図 2 1】 本発明の実施の形態 5 の半導体装置の製造方法を説明するための図である。

【図 2 2】 本発明の実施の形態 6 の半導体装置の製造方法を説明するための図である。

【図 2 3】 本発明の実施の形態 7 の半導体装置の製造方法を説明するための図である。

【図 2 4】 本発明の実施の形態 8 の半導体装置の製造方法を説明するための図である。

【図 2 5】 本発明の実施の形態 9 の半導体装置の製造方法を説明するための図である。

【図 2 6】 本発明の実施の形態 1 0 の半導体装置の製造方法を説明するための図である。

【図 2 7】 従来の半導体装置の製造方法を説明するための図である。

【図 2 8】 従来の半導体装置のレイアウトを説明するための図（その 1）である。

【図 2 9】 従来の半導体装置のレイアウトを説明するための図（その 2）である。

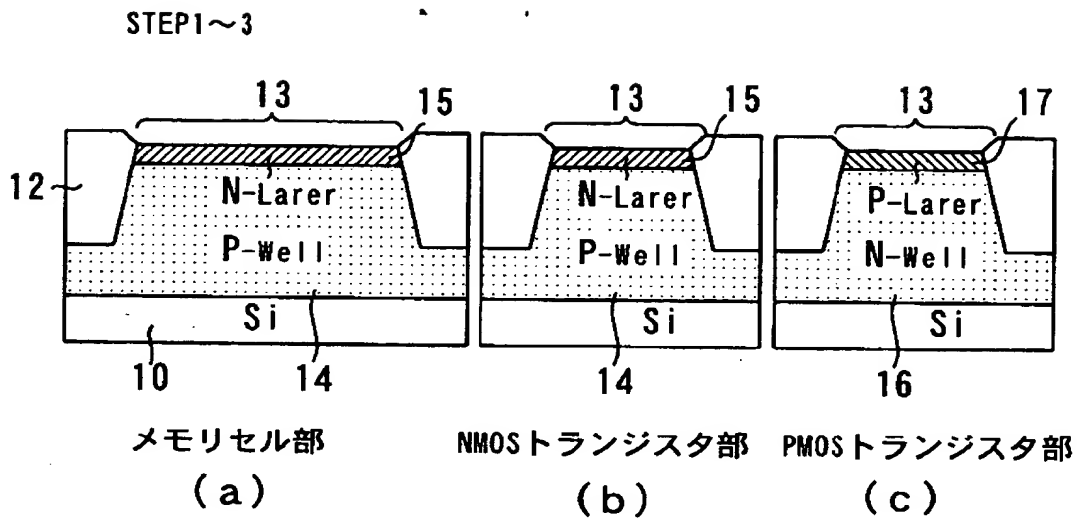
【図 3 0】 従来の半導体装置のレイアウトを説明するための図（その 3）である。

【符号の説明】

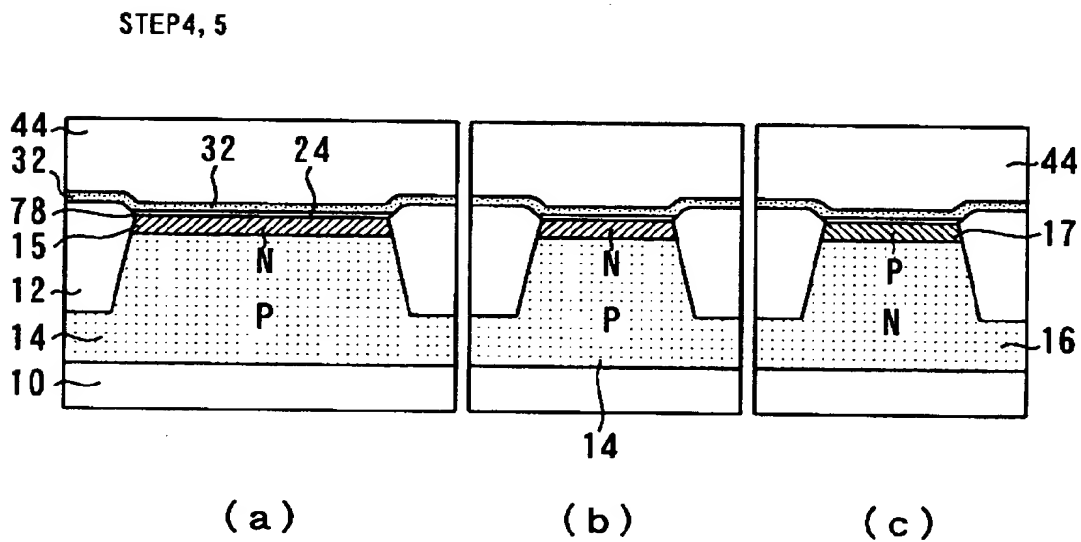
1 0 シリコン基板、 1 3 活性領域、 1 8, 2 0, 2 2 チャネル  
 、 2 2 A 埋め込みチャネル、 2 2 B カウンターチャネル、 2 4  
 ; 2 4 A ; 2 4 B ゲート絶縁膜、 3 3 トランスファゲート (T G)  
 3 4 サイドウォール、 4 4 第 1 層間絶縁膜、 4 5 トランスファゲー  
 ト収容溝、 4 6 コンタクトホール、 5 0, 6 8 ; 6 8 A コンタクト  
 プラグ、 5 2 第 2 層間絶縁膜、 6 0 ビット線、 6 2 第 3 層間  
 絶縁膜、 7 0 第 4 層間絶縁膜、 7 2 ; 7 2 A キャパシタ下部電極、  
 7 4 ; 7 4 A キャパシタ絶縁膜、 7 6 ; 7 6 A キャパシタ上部電極  
 、 8 0 シリコン窒化膜、 8 2 ポリシリコン膜、 5 6, 6 6,  
 8 4 マスクパターン、 8 6 ポリシリコン膜、 8 8 Co膜、 9 0  
 サリサイド膜、 9 2 ; 9 8 バリアメタル、 9 4 メタル膜、 1  
 0 0 メタル系ゲート電極膜。

【書類名】 図面

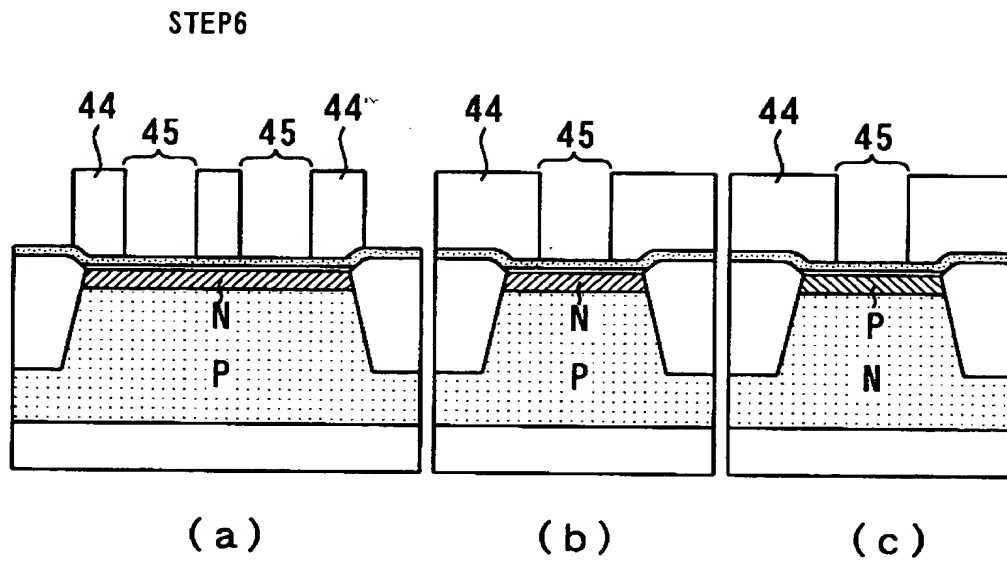
【図 1】



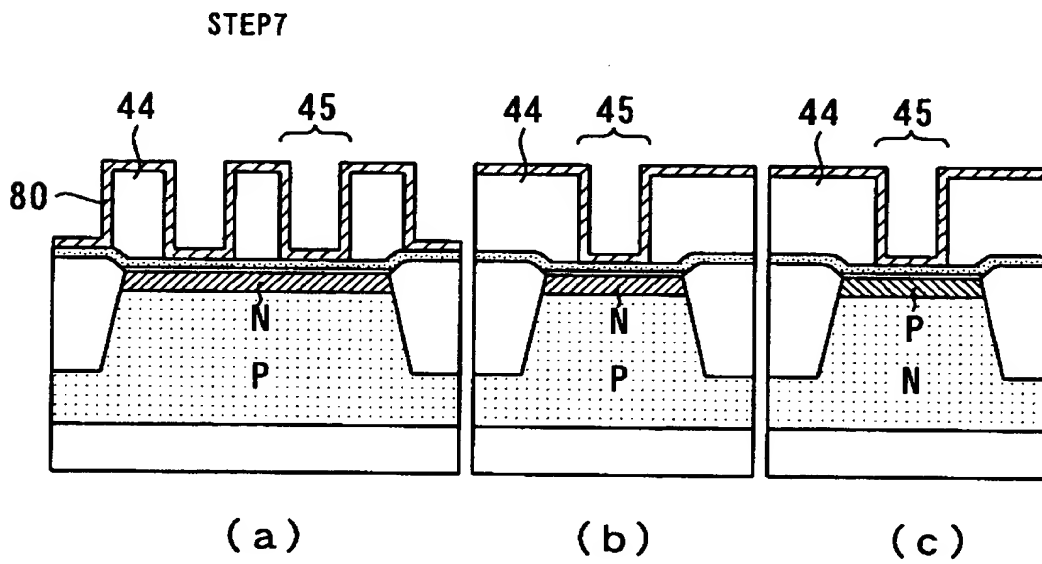
【図 2】



【図 3】

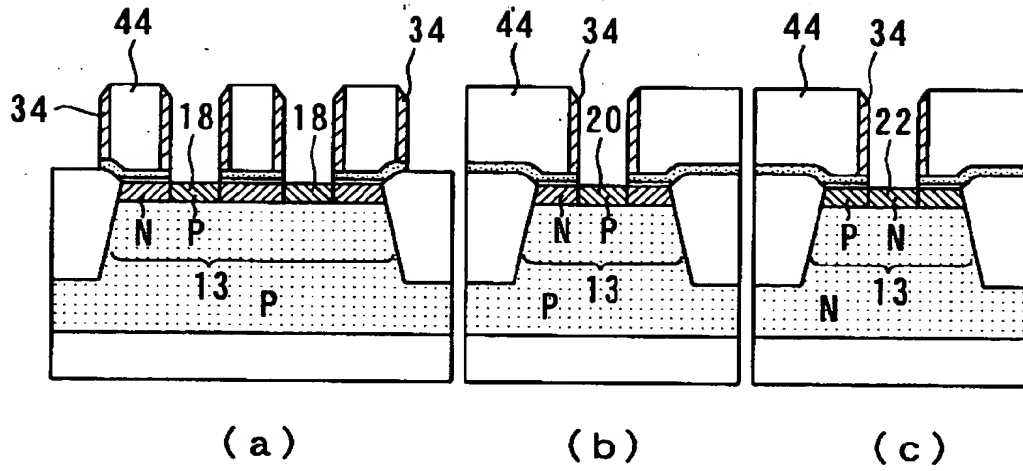


【図 4】



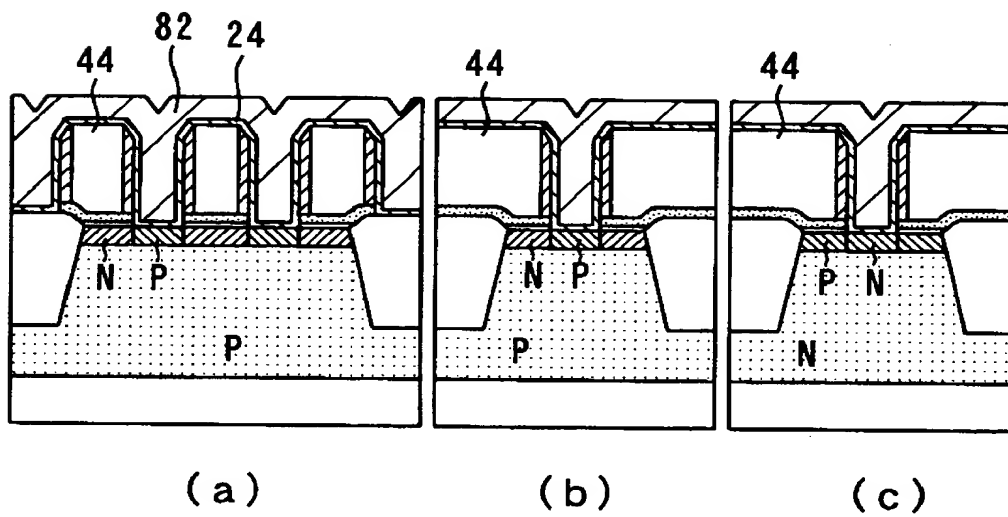
【図 5】

STEP9



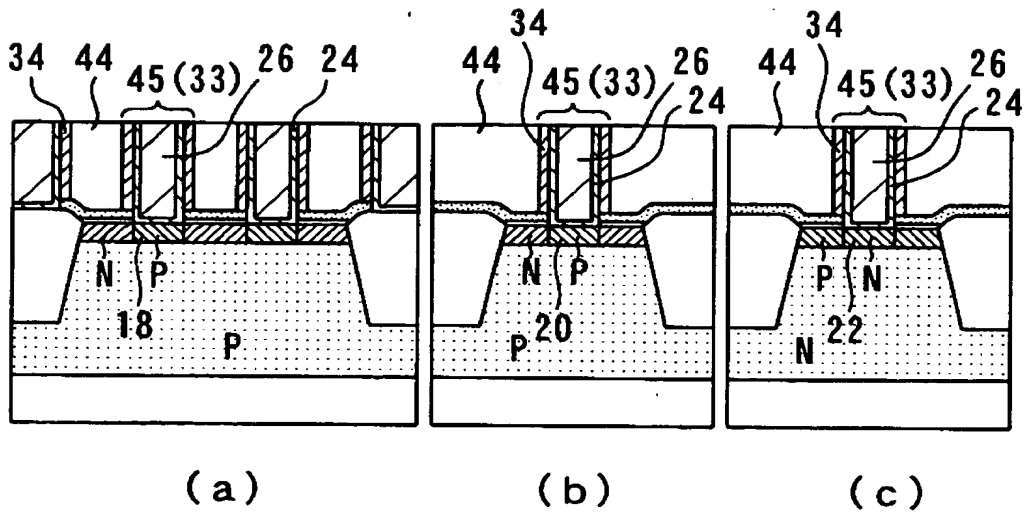
【図 6】

STEP10



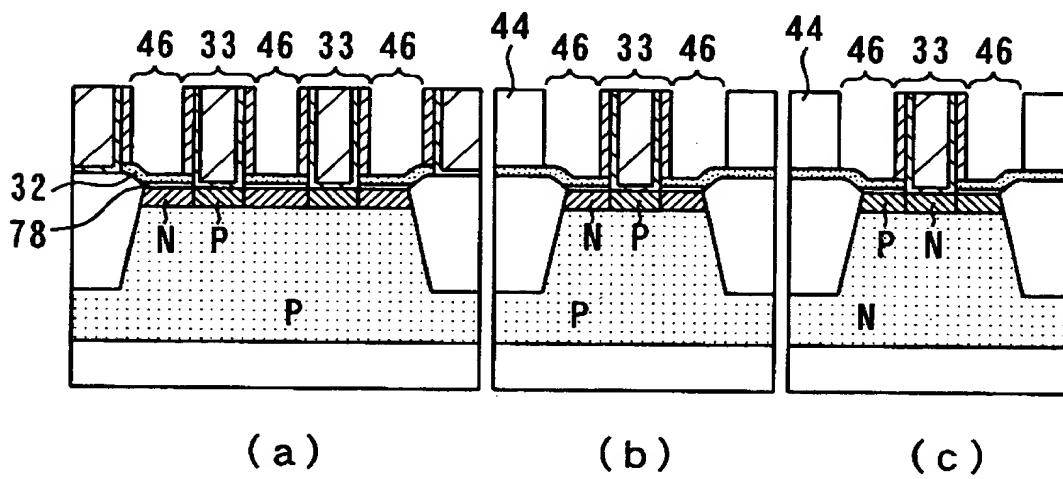
【図 7】

STEP11



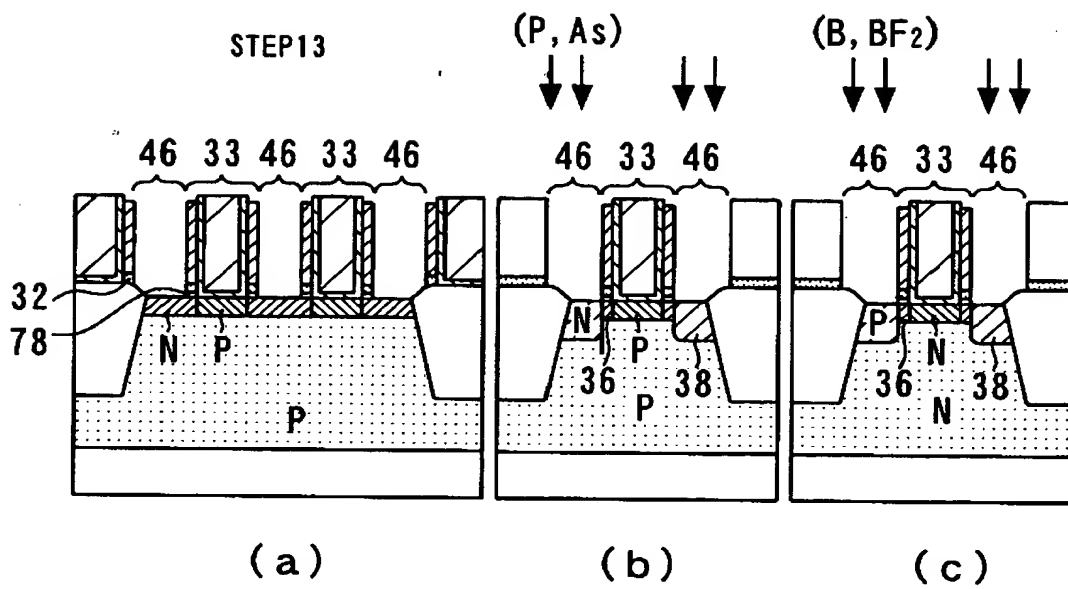
【図 8】

STEP12

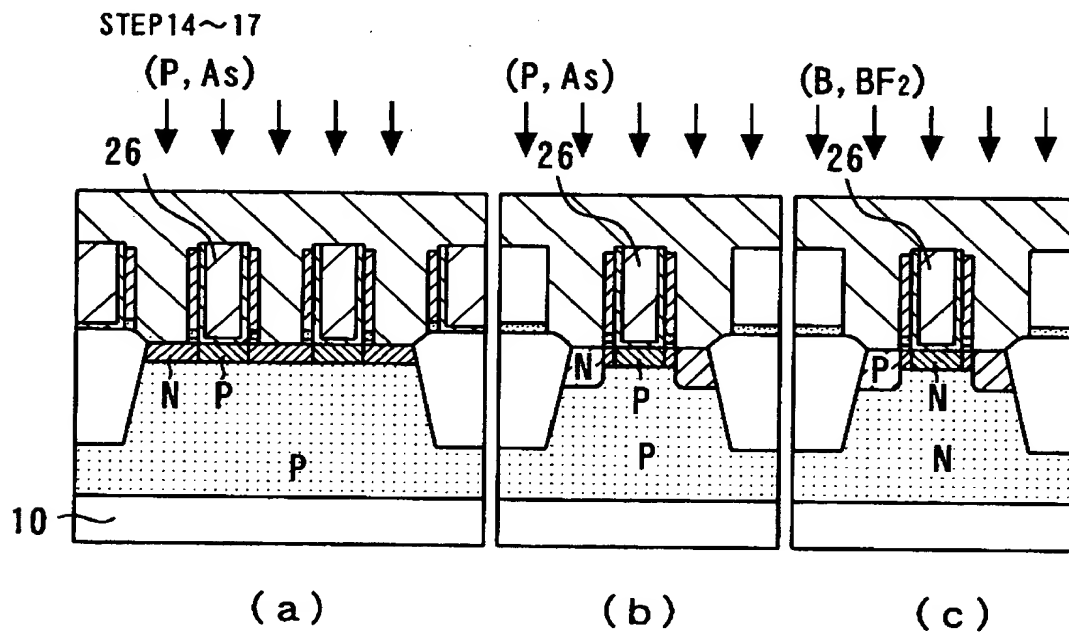




【図 9】

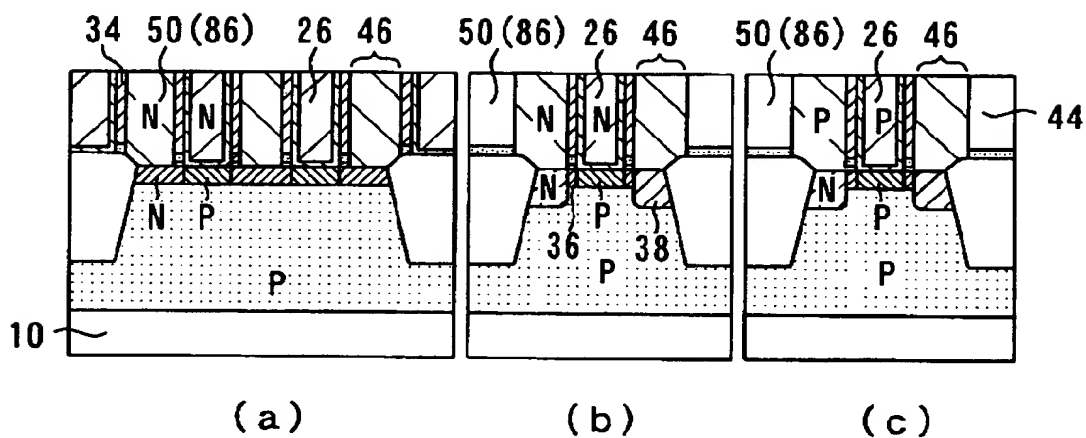


【図 10】



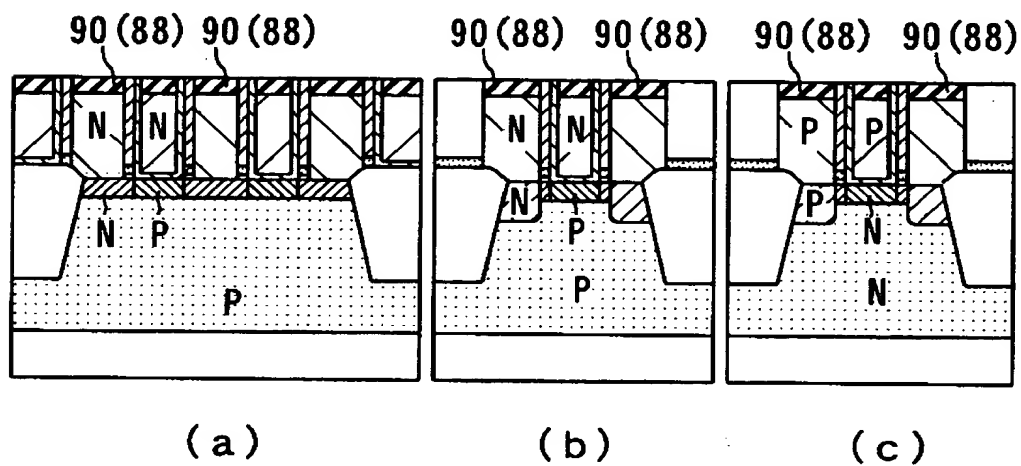
【図 1 1】

STEP18



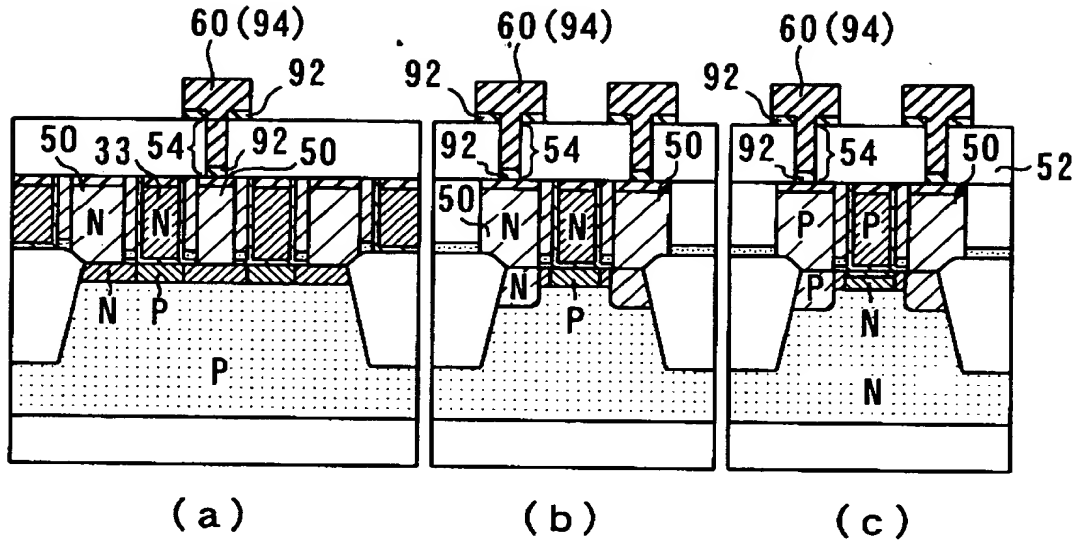
【図 1 2】

STEP19~21



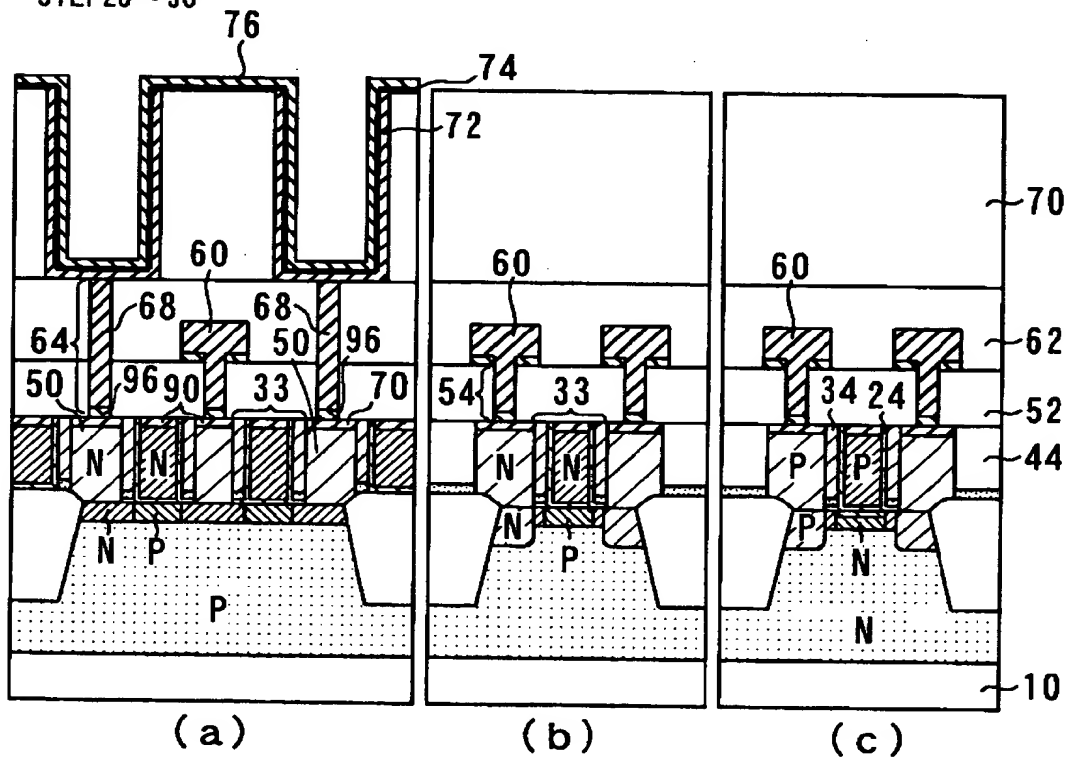
【図 1 3】

STEP22~25

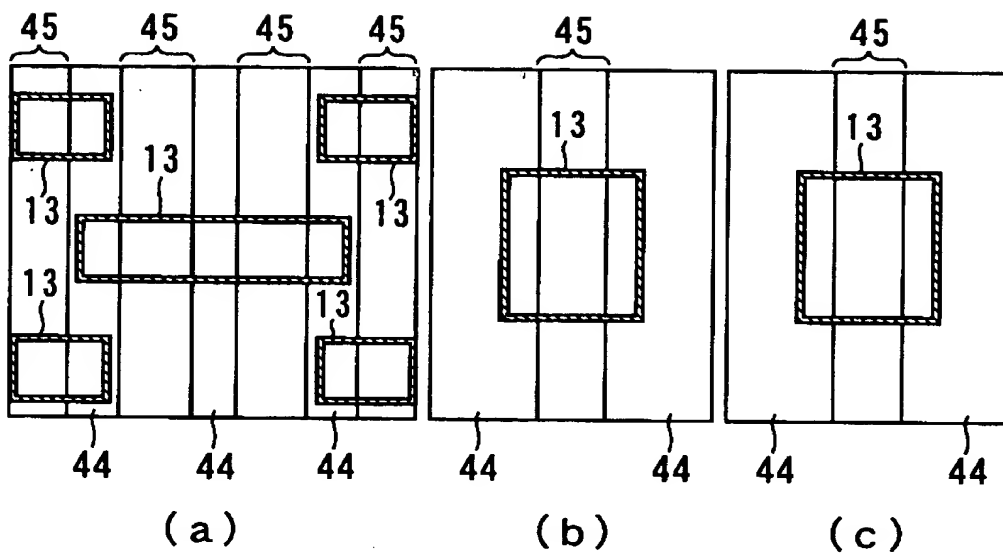


【図 1 4】

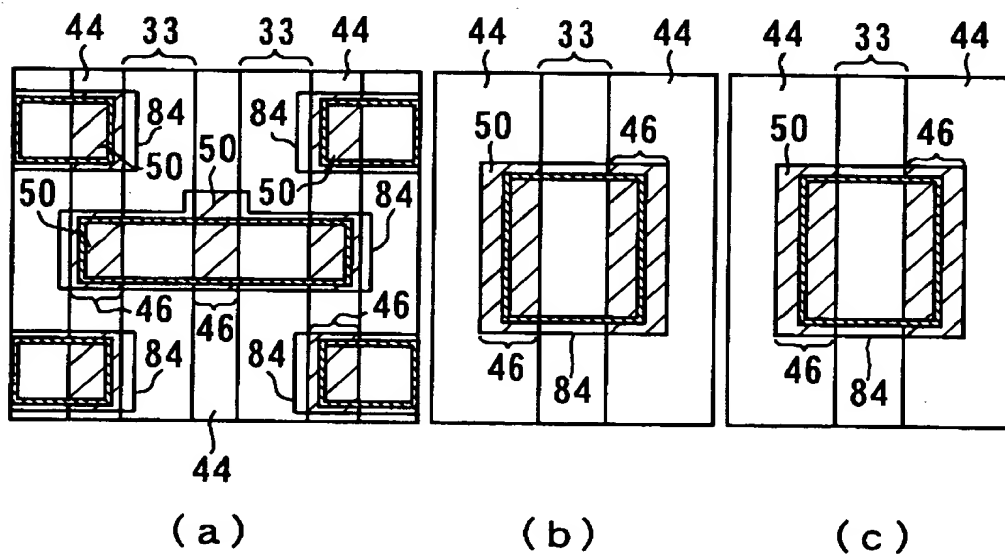
STEP26~30



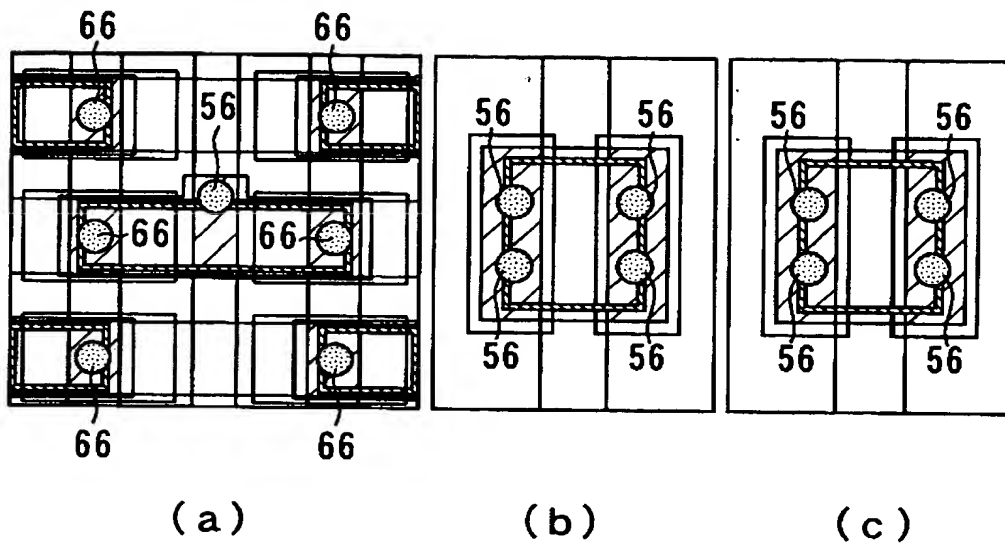
【図 15】



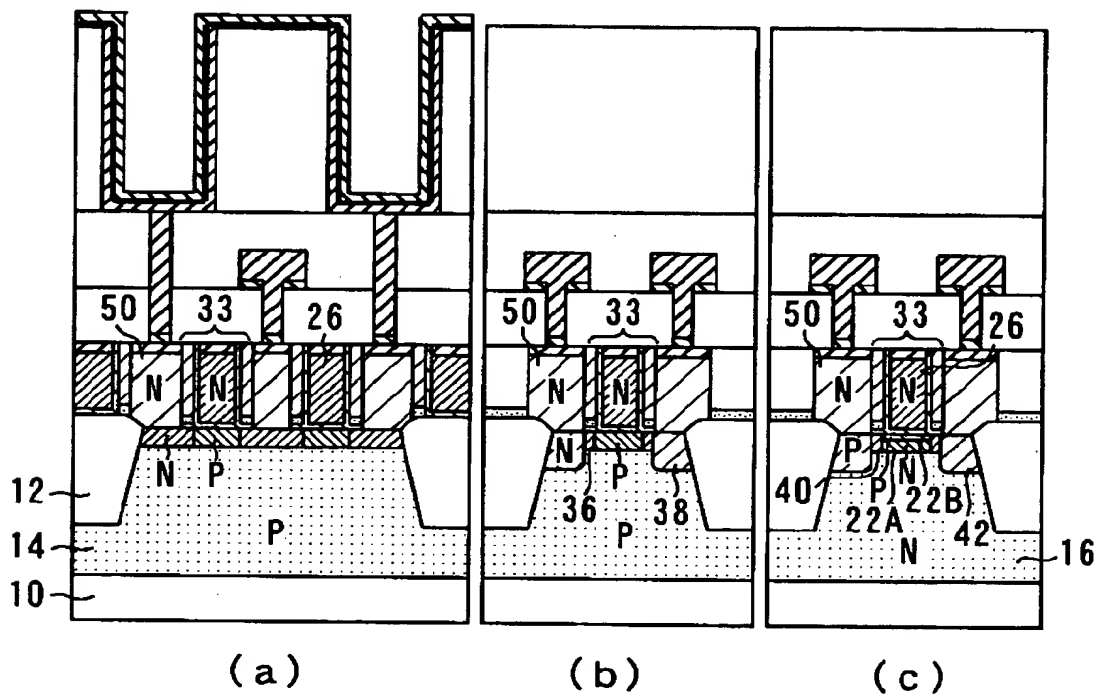
【図 16】



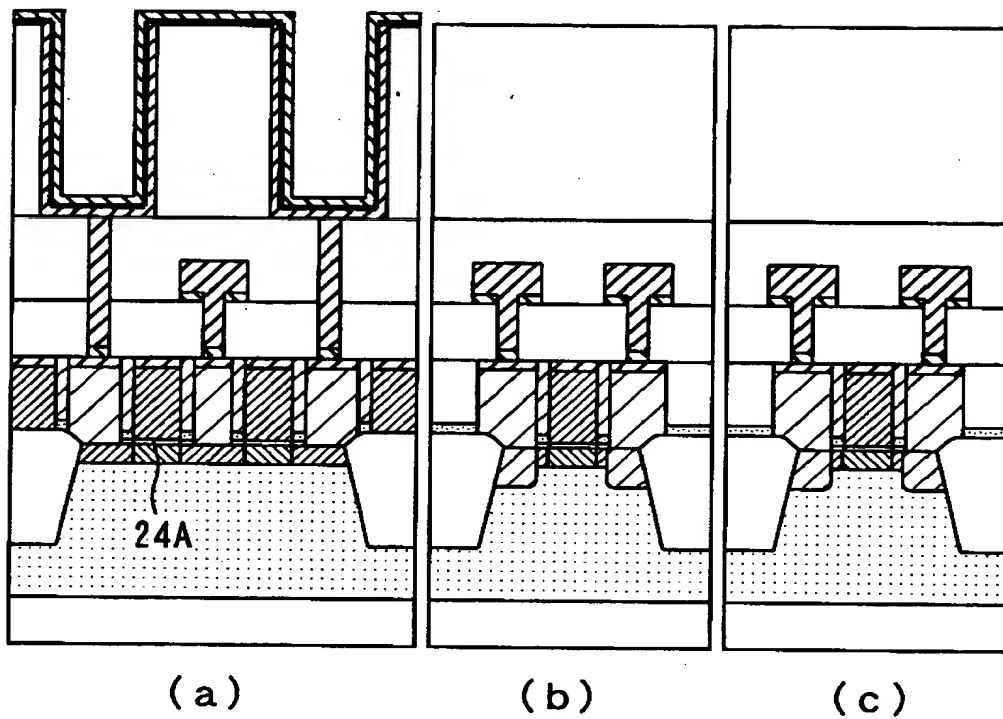
【図 1 7】



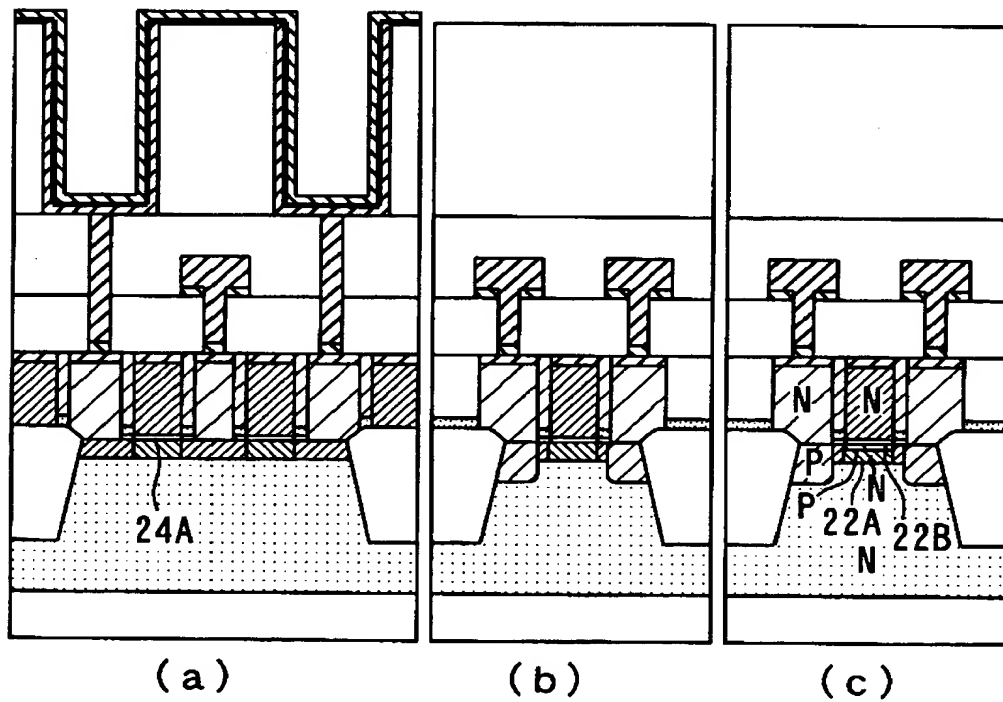
【図 1 8】



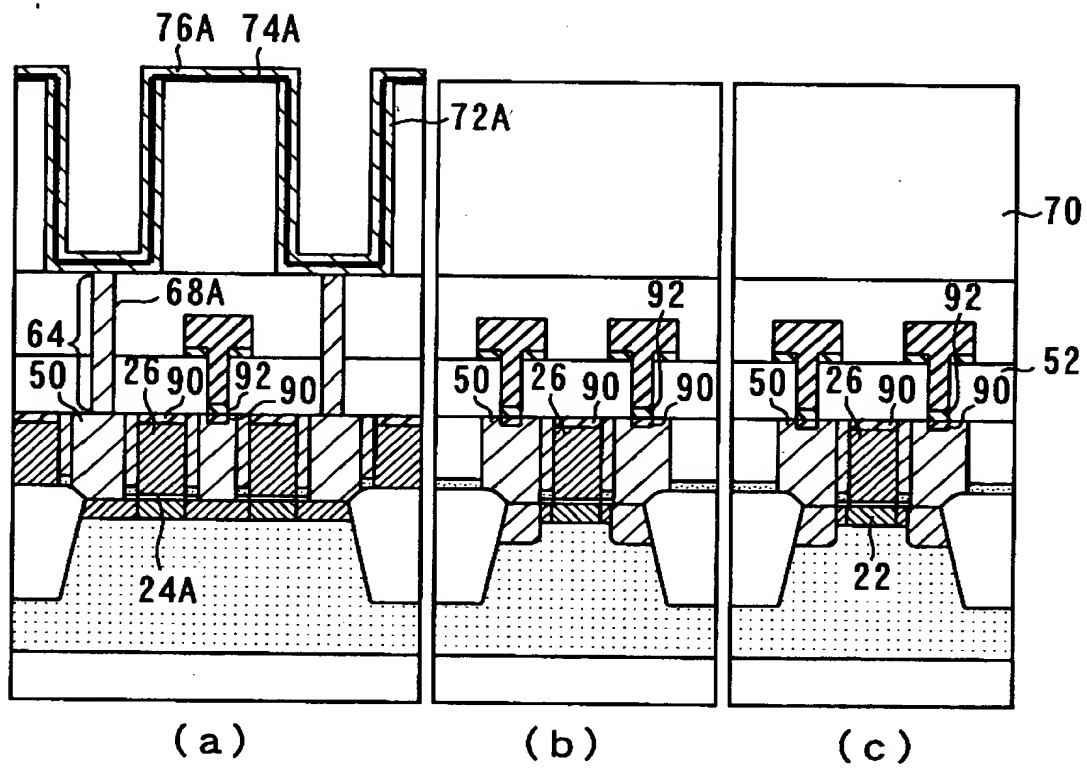
【図 1 9】



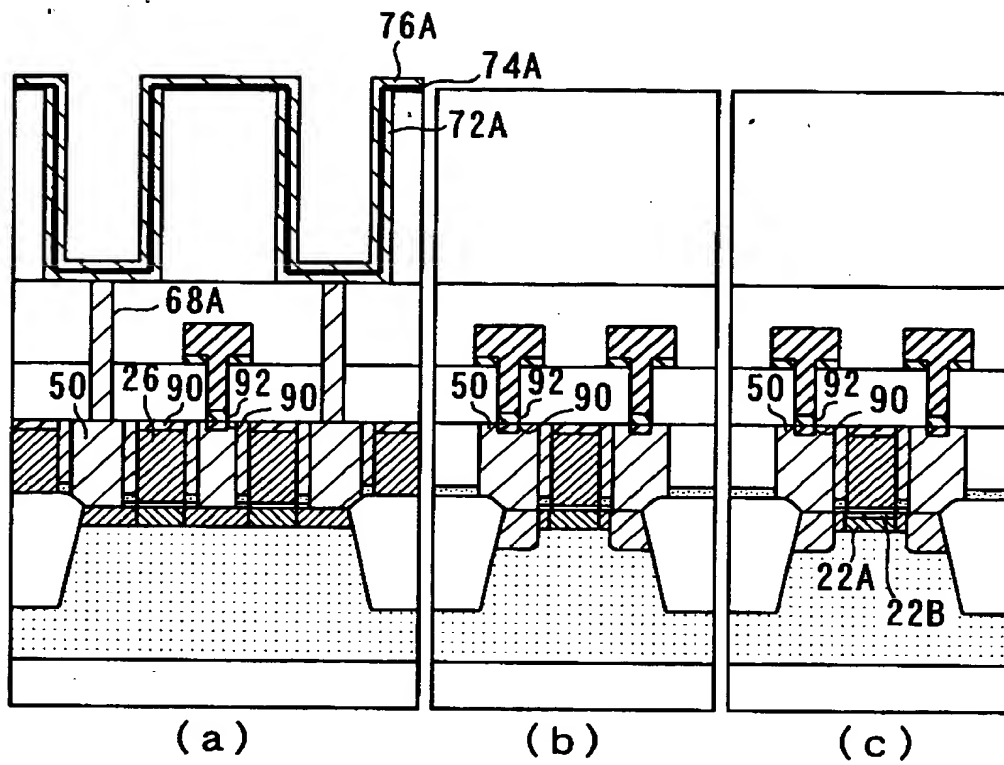
【図 2 0】



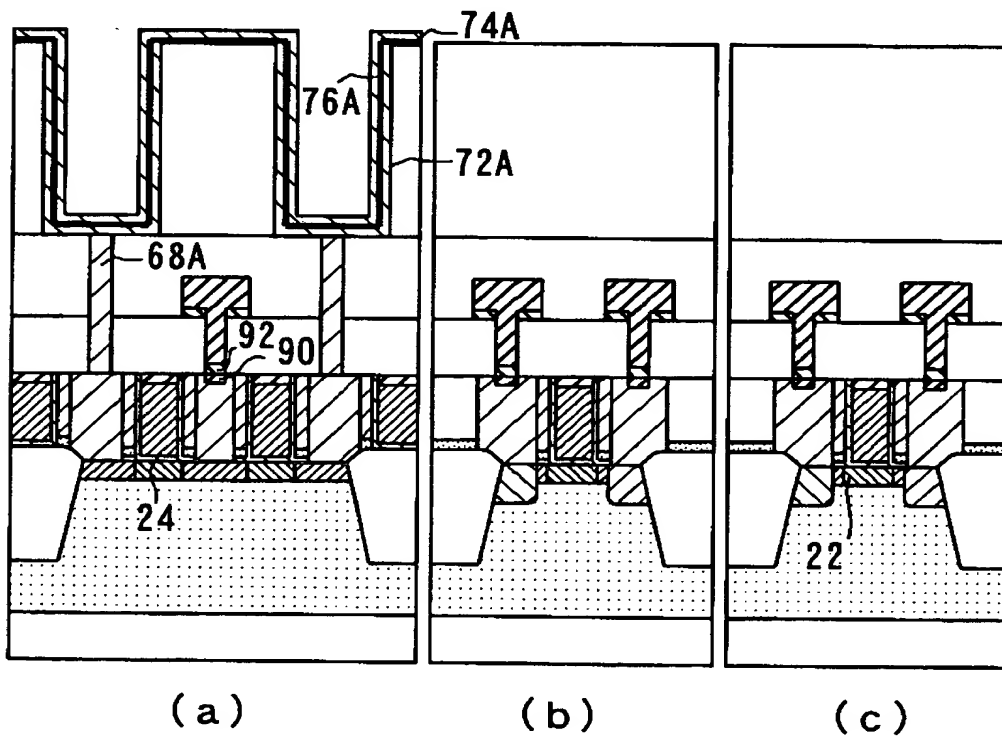
【図 2 1】



【図 2 2】

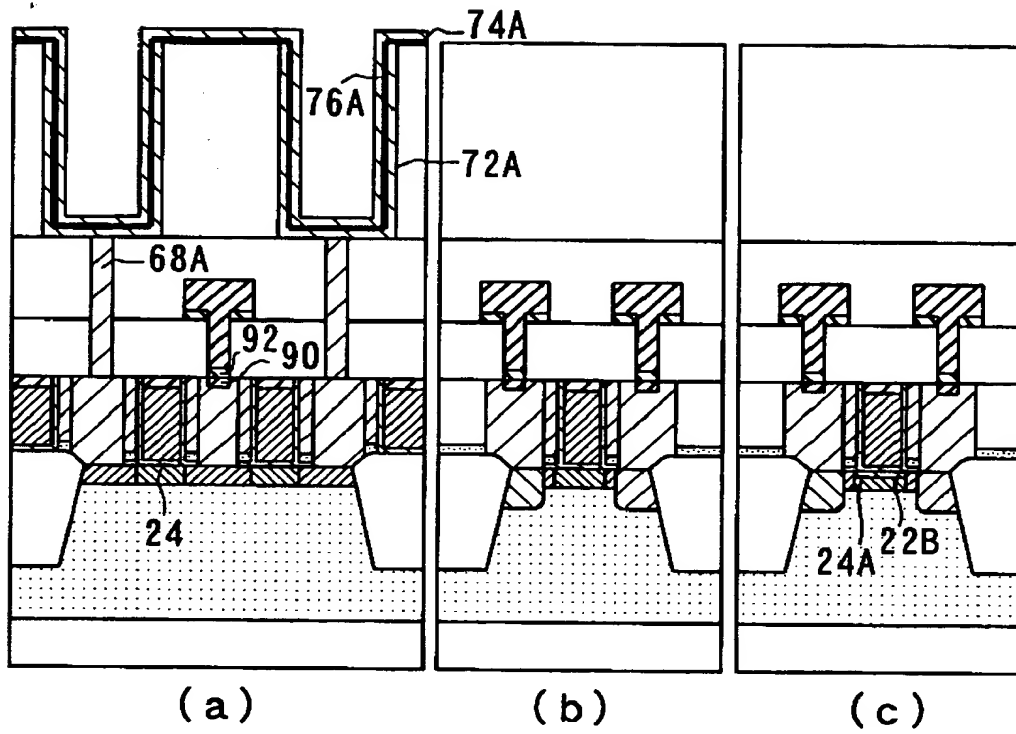


【図 2 3】

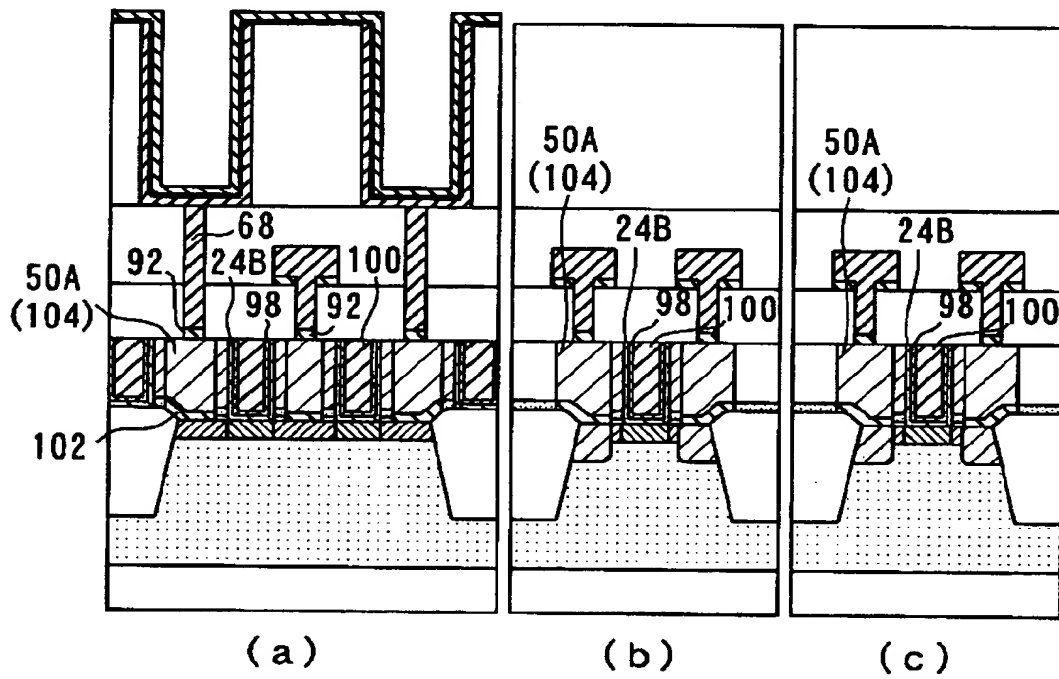




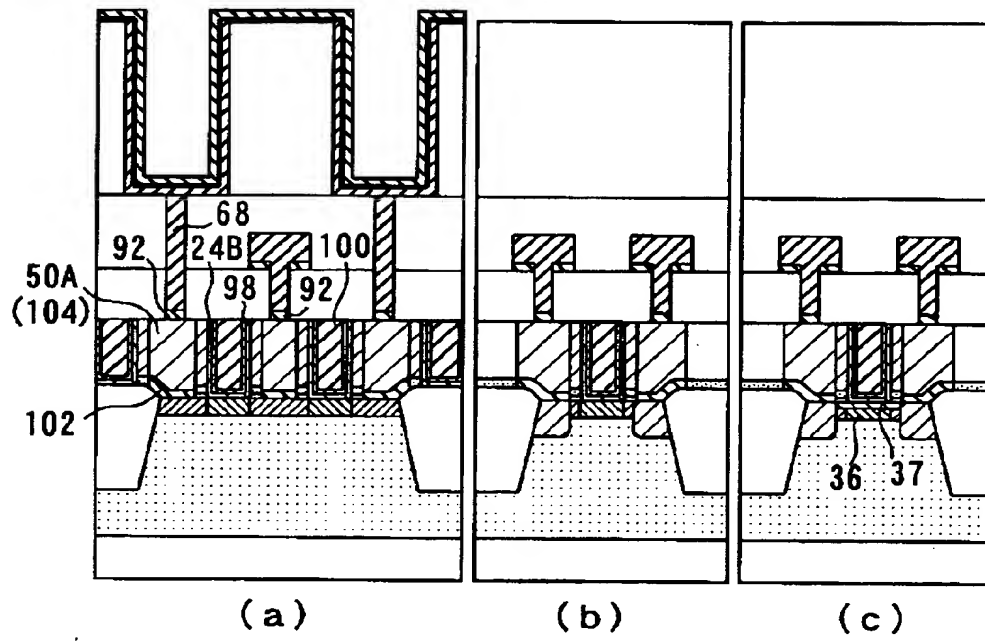
【図 2 4】

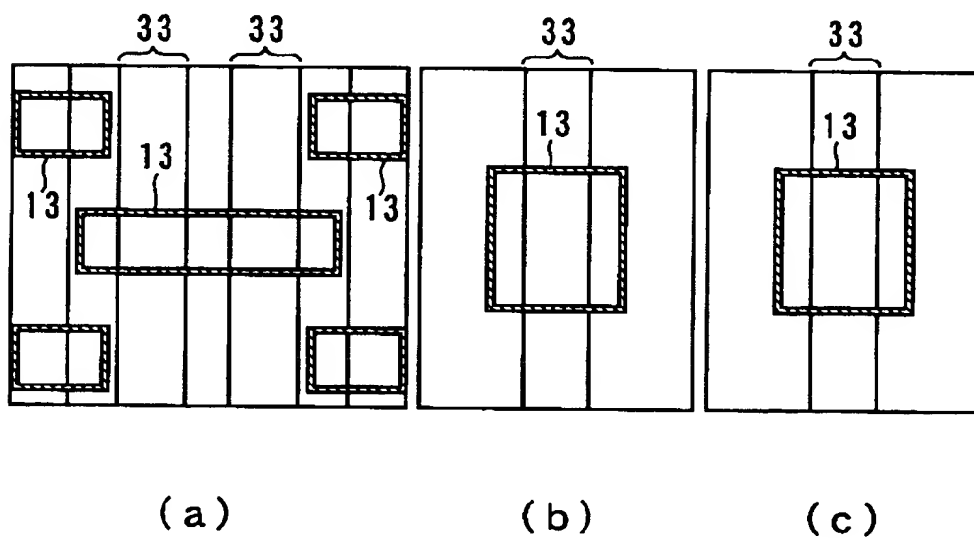
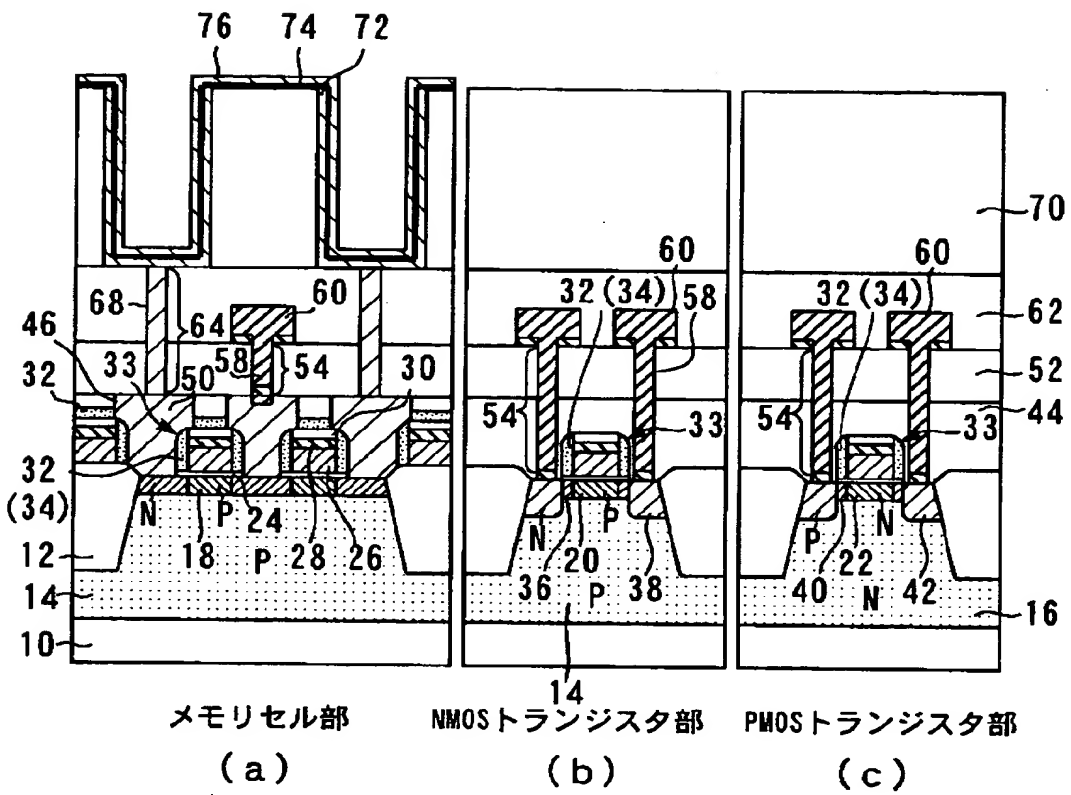


【図 2 5】

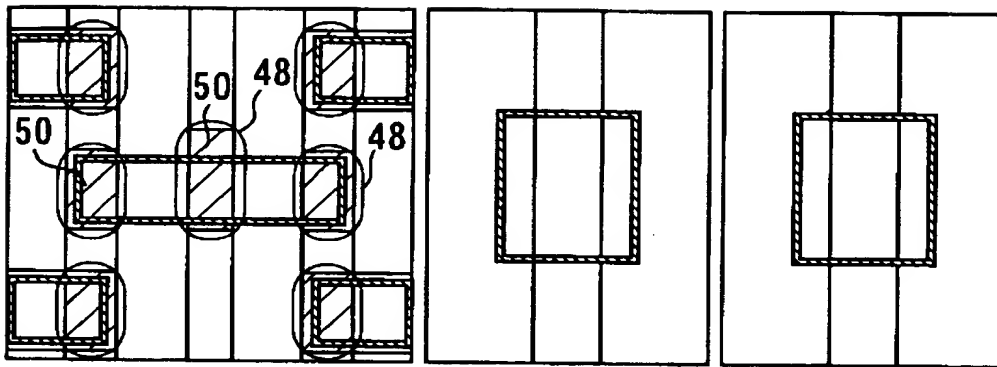


【図 2 6】





【図 2 9】

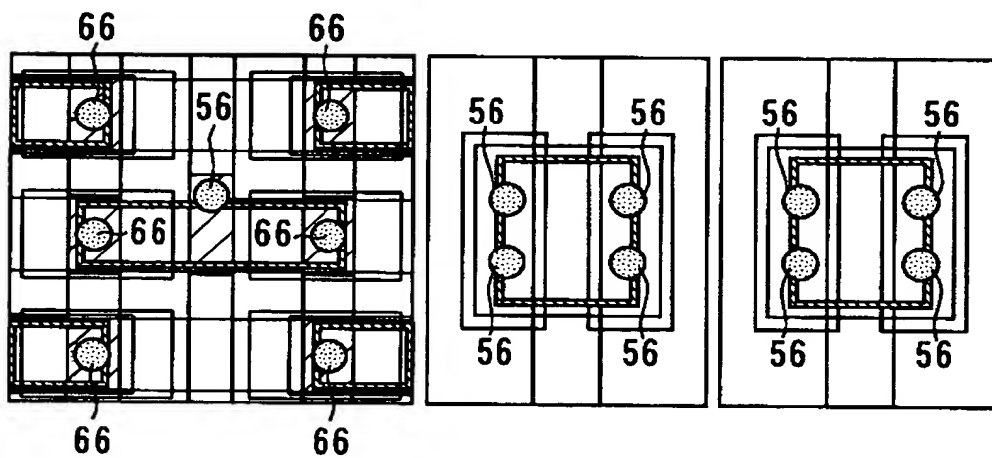


(a)

(b)

(c)

【図 3 0】



(a)

(b)

(c)

【書類名】 要約書

【要約】

【課題】 本発明は自己整合的に形成されるコンタクトホールを有する半導体装置の製造方法に関し、微細なDRAMを確実に形成することを目的とする。

【解決手段】 シリコン基板10上に形成された第1層間絶縁膜44にトランスファゲート(TG)収容溝を形成する。その溝の中にサイドウォール34を含むTG33を形成する。第1層間絶縁膜44を選択的に除去する条件でTG33に隣接する部位に自己整合的にコンタクトホールを形成し、その中にコンタクトプラグ50を形成する。それらの上層に、コンタクトプラグ50と導通するビット線60やキャパシタを形成する。

【選択図】 図14

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社